

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

15586 U.S. PTO
09/57895
05/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 6月 4日

出願番号
Application Number:

平成11年特許願第158787号

出願人
Applicant(s):

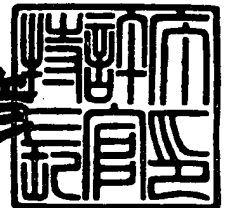
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 4月14日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3027160

【書類名】 特許願

【整理番号】 P004211-01

【提出日】 平成11年 6月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/12

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山本 一字

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小沼 利光

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置及び電子装置

【特許請求の範囲】

【請求項 1】

第 1 の T F T、該第 1 の T F T のドレインに接続されたゲートを有する第 2 の T F T 及び該第 2 の T F T のドレインに接続された E L 素子を一画素内に有する E L 表示装置において、

少なくとも前記第 1 の T F T は、直列に接続された二つ以上のチャネル形成領域を有する活性層を含むことを特徴とする電気光学装置。

【請求項 2】

第 1 の T F T、該第 1 の T F T のドレインに接続されたゲートを有する第 2 の T F T 及び該第 2 の T F T のドレインに接続された E L 素子を一画素内に有する E L 表示装置において、

少なくとも前記第 1 の T F T は直列に接続された二つ以上のチャネル形成領域を有する活性層を含み、

前記第 2 の T F T のチャネル幅は前記第 1 の T F T のチャネル幅よりも大きいことを特徴とする電気光学装置。

【請求項 3】

第 1 の T F T、該第 1 の T F T のドレインに接続されたゲートを有する第 2 の T F T 及び該第 2 の T F T のドレインに接続された E L 素子を一画素内に有する E L 表示装置において、

少なくとも前記第 1 の T F T は直列に接続された二つ以上のチャネル形成領域を有する活性層を含み、

前記第 2 の T F T のチャネル長を L_2 、チャネル幅を W_2 とし、前記第 1 の T F T のチャネル長を L_1 、チャネル幅を W_1 とした時、 $W_2 / L_2 \geq 5 \times W_1 / L_1$ の関係式が成り立つことを特徴とする電気光学装置。

【請求項 4】

請求項 3 において、前記前記第 2 の T F T のチャネル長 (L_2) が $0.1 \sim 50 \mu\text{m}$ 、チャネル幅 (W_2) が $0.5 \sim 30 \mu\text{m}$ 、前記第 1 の T F T のチャネル長

(L 1) が 0. 2 ~ 1 8 μm 、チャネル幅 (W 1) が 0. 1 ~ 5 μm であることを特徴とする電気光学装置。

【請求項 5】

請求項 1 乃至請求項 4 において、前記第 1 の T F T はスイッチング用素子であり、前記第 2 の T F T は電流制御用素子であることを特徴とする電気光学装置。

【請求項 6】

請求項 1 乃至請求項 4 において、前記第 1 の T F T の L D D 領域は、該第 1 の T F T のゲート電極とゲート絶縁膜を介して重ならないように形成され、

前記第 2 の T F T の L D D 領域は、該第 2 の T F T のゲート電極とゲート絶縁膜を介して一部若しくは全部が重なるように形成されていることを特徴とする電気光学装置。

【請求項 7】

請求項 1 乃至請求項 6 に記載された電気光学装置を有することを特徴とする電子装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された E L（エレクトロルミネッセンス）表示装置に代表される電気光学装置及びその電気光学装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【0 0 0 2】

【従来の技術】

近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】

アクティブマトリクス型EL表示装置は、各画素のそれぞれにTFTでなるスイッチング素子进行、そのスイッチング素子によって電流制御を行う駆動素子进行動作させてEL層（発光層）を発光させる。この時、典型的な画素構造は、例えば米国特許番号5,684,365号（特開平8-234683号）のFIG. 1に開示されている。

【0005】

同米国特許のFIG. 1に示されるように、スイッチング用素子（T1）のドレインは電流制御用素子（T2）のゲート電極に接続されているが、それと並列にコンデンサ（Cs）にも接続されている。このコンデンサ（Cs）に蓄積された電荷で電流制御用素子（T2）のゲート電圧を維持するのである。

【0006】

逆に言えば、スイッチング素子（T1）が非選択時にある時、コンデンサ（Cs）がなければスイッチング素子（T1）を通じて電荷が漏れてしまい（この時流れる電流をオフ電流という）、電流制御用素子（T2）のゲート電極にかかる電圧を維持できなくなる。これはスイッチング素子（T1）をトランジスタで形成する上で避けられない問題である。しかしながら、このコンデンサ（Cs）は画素内に設けられるため、画素の有効発光面積（有効画像表示面積）を狭める要因になっていた。

【0007】

また、電流制御用素子（T2）はEL層を発光させるために大電流を流す必要がある。即ち、TFTに求められる性能がスイッチング素子と電流制御用素子とはまるで異なってくる。このような場合、同一構造のTFTだけでは全ての回路又は素子が求める性能を確保することは困難であった。

【0008】

【発明が解決しようとする課題】

本願発明は上記従来技術を鑑みてなされたものであり、動作性能及び信頼性の高い電気光学装置、特にEL表示装置を提供することを課題とする。そして、電気光学装置の画質を向上させることにより、それを表示用ディスプレイとして有する電子装置（電子デバイス）の品質を向上させることを課題とする。

【0009】

【課題を解決するための手段】

上記課題を達成するために、本願発明ではEL表示装置の各画素に含まれる素子が求める機能を鑑みて、最適な構造のTFTを割り当てている。即ち、同一画素内に異なる構造のTFTが存在することになる。

【0010】

具体的には、オフ電流値を十分に低くさせることを最重要課題とする素子（スイッチング用素子など）は、動作速度よりもオフ電流値を低減させることに重点を置いたTFT構造とし、大電流を流すことを最重要課題とする素子（電流制御用素子など）は、オフ電流値を低減させることよりも、大電流を流すこと及びそれと同時に顕著な問題となるホットキャリア注入による劣化を抑制することに重点を置いたTFT構造とする。

【0011】

本願発明では、同一基板上で上記のようなTFTの使い分けを行うことによって、EL表示装置の動作性能の向上と信頼性の向上とを可能とする。なお、本願発明の思想は、画素部に限ったものではなく、画素部と画素部を駆動する駆動回路部とを含めてTFT構造の最適化を図る点にも特徴がある。

【0012】

【発明の実施の形態】

本発明の実施の形態について、図1、図2を用いて説明する。図1に示したのは本願発明であるEL表示装置の画素の断面図であり、図2（A）はその上面図、図2（B）はその回路構成である。実際にはこのような画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。

【0013】

なお、図1の断面図は図2（A）に示した上面図においてA-A'で切断した切断面を示している。ここでは図1及び図2で共通の符号を用いているので、適宜両図面を参照すると良い。また、図2の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0014】

図1において、11は基板、12は下地膜である。基板11としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。

【0015】

また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を設ければ良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【0016】

ここでは画素内に二つのTFTを形成している。201はスイッチング用素子として機能するTFT（以下、スイッチング用TFTという）、202はEL素子へ流す電流量を制御する電流制御用素子として機能するTFT（以下、電流制御用TFTという）であり、どちらもnチャネル型TFTで形成されている。

【0017】

nチャネル型TFTの電界効果移動度はpチャネル型TFTの電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャネル型TFTの方が小さくできる。そのため、nチャネル型TFTを電流制御用TFTとして用いた方が表示部の有効面積が広くなるので好ましい。

【0018】

pチャネル型TFTはホットキャリア注入が殆ど問題にならず、オフ電流値が

低いといった利点があって、スイッチング用TFTとして用いる例や電流制御用TFTとして用いる例が既に報告されている。しかしながら本願発明では、LDD領域の位置を異ならせた構造とすることでnチャネル型TFTにおいてもホットキャリア注入の問題とオフ電流値の問題を解決し、全ての画素内のTFT全てをnチャネル型TFTとしている点にも特徴がある。

【0019】

ただし、本願発明において、スイッチング用TFTと電流制御用TFTをnチャネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャネル型TFTを用いることも可能である。

【0020】

スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

【0021】

本願発明の特徴は図2に示すようにゲート電極19a、19bは別の材料（ゲート電極19a、19bよりも低抵抗な材料）で形成されたゲート配線211によって電氣的に接続されたダブルゲート構造となっている点である。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であればよい。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本願発明では画素のスイッチング素子201をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0022】

また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0023】

さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を介してゲート電極17a、17bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0024】

なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0025】

以上のように、本願発明ではマルチゲート構造のTFTを画素のスイッチング素子201として用いることにより、十分にオフ電流値の低いスイッチング素子を実現することに特徴がある。そのため、従来例で述べたようなコンデンサ（Cs）を設けなくても十分な時間（選択されてから次に選択されるまでの間）電流制御用素子のゲート電圧を維持しうる。

【0026】

即ち、従来、有効発光面積を狭める要因となっていたコンデンサを排除することが可能となり、有効発光面積を広くすることが可能となる。このことはEL表示装置の画質を明るくできることを意味する。

【0027】

次に、電流制御用TFT202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0028】

図2に示すように、スイッチング用TFTのドレインは電流制御用TFTのゲートに接続されている。具体的には電流制御用TFT202のゲート電極35はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも

言える) 2 2 を介して電氣的に接続されている。また、ソース配線 3 6 は電源供給線 2 1 2 に接続される。

【0 0 2 9】

この電流制御用 T F T 2 0 2 の特徴は、チャネル幅がスイッチング用素子 2 0 1 のチャネル幅よりも大きい点である。即ち、図 8 に示すように、スイッチング用 T F T のチャネル長を L_1 、チャネル幅を W_1 とし、電流制御用 T F T のチャネル長を L_2 、チャネル幅を W_2 とした場合、 $W_2 / L_2 \geq 5 \times W_1 / L_1$ (好ましくは $W_2 / L_2 \geq 10 \times W_1 / L_1$) という関係式が成り立つようにする。このため、スイッチング用 T F T よりも多くの電流を容易に流すことが可能である。

【0 0 3 0】

なお、マルチゲート構造であるスイッチング用 T F T のチャネル長 L_1 は、形成された二つ以上のチャネル形成領域のそれぞれのチャネル長の総和とする。図 8 の場合、ダブルゲート構造であるので、二つのチャネル形成領域のそれぞれのチャネル長 L_{1a} 及び L_{1b} を加えたものがスイッチング用 T F T のチャネル長 L_1 となる。

【0 0 3 1】

本願発明において、チャネル長 L_1 、 L_2 及びチャネル幅 W_1 、 W_2 は特定の数値範囲に限定されるものではないが、 W_1 は $0.1 \sim 5 \mu\text{m}$ (代表的には $1 \sim 3 \mu\text{m}$)、 W_2 は $0.5 \sim 30 \mu\text{m}$ (代表的には $2 \sim 10 \mu\text{m}$) とするのが好ましい。この時、 L_1 は $0.2 \sim 18 \mu\text{m}$ (代表的には $2 \sim 15 \mu\text{m}$)、 L_2 は $0.1 \sim 50 \mu\text{m}$ (代表的には $1 \sim 20 \mu\text{m}$) とするのが好ましい。

【0 0 3 2】

なお、電流制御用 T F T では電流が過剰に流れることを防止するためチャネル長 L の長さを長めに設定することが望ましい。好ましくは $W_2 / L_2 \geq 3$ (好ましくは $W_2 / L_2 \geq 5$) とするとよい。望ましくはは一画素あたり $0.5 \sim 2 \mu\text{A}$ (好ましくは $1 \sim 1.5 \mu\text{A}$) となるようにする。

【0 0 3 3】

これらの数値範囲とすることにより V G A クラスの画素数 (640×480)

を有するEL表示装置からハイビジョンクラスの画素数（1920×1080又は1280×1024）を有するEL表示装置まで、あらゆる規格を網羅することができる。

【0034】

また、スイッチング用TFT201に形成されるLDD領域の長さ（幅）は0.5～3.5 μ m、代表的には2.0～2.5 μ mとすれば良い。

【0035】

また、図1に示したEL表示装置は、電流制御用TFT202において、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられ、且つ、LDD領域33がゲート絶縁膜18を介してゲート電極35に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0036】

電流制御用TFT202は、EL素子204を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、大電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流値が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流値も抑える必要がある。

【0037】

ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体をゲート電極に重ねてしまうとオフ電流値が増加してしまうため、本出願人はゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流値対策とを同時に解決している。

【0038】

この時、ゲート電極に重なったLDD領域の長さは0.1～3 μ m（好ましくは0.3～1.5 μ m）にすれば良い。長すぎでは寄生容量を大きくしてしまい、短すぎではホットキャリアを防止する効果が弱くなってしまう。また、ゲート電極に重ならないLDD領域の長さは1.0～3.5 μ m（好ましくは1.5～

2. $0\ \mu\text{m}$) にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流値を低減する効果が弱くなる。

【0039】

また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域31とチャネル形成領域34との間には設けない方が好ましい。電流制御用TFTはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0040】

また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは $50\sim 100\text{nm}$ 、さらに好ましくは $60\sim 80\text{nm}$ ）ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは $20\sim 50\text{nm}$ 、さらに好ましくは $25\sim 40\text{nm}$ ）ことも有効である。

【0041】

次に、41は第1パッシベーション膜であり、膜厚は $10\text{nm}\sim 1\ \mu\text{m}$ （好ましくは $200\sim 500\text{nm}$ ）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜41は形成されたTFTを汚染物質や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜41はこれらのアルカリ金属（可動イオン）をTFT側に侵入させない保護層として働く。なお、本明細書中ではアルカリ金属とアルカリ土類金属を含めて「アルカリ金属」と呼ぶ。

【0042】

また、パッシベーション膜41に放熱効果を持たせることでEL層の熱劣化を防ぐことも有効である。但し、図1の構造のEL表示装置は基板11側に光が放射されるため、パッシベーション膜41は透光性を有することが必要である。

【0043】

放熱効果をもつ透光性材料としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む化合物が挙げられる。例えば、窒化アルミニウム（ Al_xN_y ）に代表されるアルミニウムの窒化物、炭化珪素（ Si_xC_y ）に代表される珪素の炭化物、窒化珪素（ Si_xN_y ）に代表される珪素の窒化物、窒化ホウ素（ B_xN_y ）に代表されるホウ素の窒化物、リン化ホウ素（ B_xP_y ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ Al_xO_y ）に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が $20\text{ W m}^{-1}\text{ K}^{-1}$ であり、好ましい材料の一つと言える。これらの材料には放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果もある。なお、上記透光性材料において、 x 、 y は任意の整数である。

【0044】

なお、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 AlN_xO_y で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、 x 、 y は任意の整数である。

【0045】

また、特開昭 62-90260 号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、M を含む化合物（但し、M は希土類元素の少なくとも一種、好ましくは Ce（セリウム）、Yb（イットルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0046】

また、ダイヤモンド薄膜、アモルファスカーボン（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）等の炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。

但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは5～100nm）で用いることが好ましい。

【0047】

なお、第1パッシベーション膜41の目的はあくまで汚染物質や水分からTFTを保護することにあるので、その効果を損なうものであってはならない。従って、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、アルカリ金属や水分を遮断する性質を有する薄膜（代表的には窒化珪素膜（ Si_xN_y ）や窒化酸化珪素膜（ SiO_xN_y ））とを積層することは有効である。なお、上記窒化珪素膜又は窒化酸化珪素膜において、 x 、 y は任意の整数である。

【0048】

また、42はカラーフィルター、43は蛍光体（蛍光色素層ともいう）である。どちらも同色の組み合わせで、赤（R）、緑（G）若しくは青（B）の色素を含む。カラーフィルター42は色純度を向上させるために設け、蛍光体42は色変換を行うために設けられる。

【0049】

なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、RGBに対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用し、RGBに対応したEL素子を重ねる方式、がある。

【0050】

図1の構造は青色発光のEL素子と蛍光体とを組み合わせた方式を用いた場合の例である。ここではEL素子204として青色発光の発光層を用いて紫外光を含む青色領域の波長をもつ光を形成し、その光によって蛍光体43を励起して赤、緑若しくは青の光を発生させる。そしてカラーフィルター42で色純度を上げて出力する。

【0051】

但し、本願発明は発光方式に関わらず実施することが可能であり、上記四つの

全ての方式を本願発明に用いることができる。

【0052】

また、カラーフィルター42、蛍光体43を形成した後で、第2層間絶縁膜44で平坦化を行う。第2層間絶縁膜44としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0053】

第2層間絶縁膜44によってTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0054】

また、第2層間絶縁膜44上に放熱効果の高い絶縁膜（以下、放熱層という）を設けることは有効である。膜厚は5nm～1 μ m（典型的には20～300nm）が好ましい。このような放熱層は、EL素子で発生した熱を逃がしてEL素子に熱が蓄積しないように機能する。また、第2層間絶縁膜44が有機樹脂膜である場合は熱に弱いため、EL素子で発生した熱が第2層間絶縁膜44に悪影響を与えないようにする。

【0055】

前述のようにEL表示装置を作製するにあたってTF Tを有機樹脂膜で平坦化することは有効であるが、EL素子で発生した熱による有機樹脂膜の劣化を考慮した構造は従来なかった。従って放熱層を設けることによってその点を解決することは非常に有効であると言える。

【0056】

また、放熱層として水分、酸素又はアルカリ金属を透過しない材料（第1パッシベーション膜41と同様の材料）を用いれば、上記熱によるEL素子又は有機樹脂膜の劣化が防がれると同時に、EL層中のアルカリ金属がTF T側へと拡散しないようにするための保護層としても機能する。さらにはEL層側へTF T側から水分や酸素が侵入しないようにする保護層としても機能する。

【 0 0 5 7 】

特に放熱効果を期待するならダイヤモンドライクカーボン膜等の炭素膜が好ましく、水分等の侵入を防ぐためには炭素膜と窒化珪素膜（又は窒化酸化珪素膜）との積層構造を用いることがさらに好ましい。

【 0 0 5 8 】

このように T F T 側と E L 素子側とを放熱効果が高く、且つ、水分やアルカリ金属を遮断しうる絶縁膜で分離するという構造は有効である。

【 0 0 5 9 】

また、4 5 は透明導電膜でなる画素電極（E L 素子の陽極）であり、第 2 層間絶縁膜 4 4 及び第 1 パッシベーション膜 4 1 にコンタクトホールを開けた後、電流制御用 T F T 2 0 2 のドレイン配線 3 7 に接続されるように形成される。

【 0 0 6 0 】

画素電極 4 5 の上には、順次 E L 層（有機材料が好ましい）4 6、陰極 4 7、保護電極 4 8 が形成される。E L 層 4 6 は単層又は積層構造で用いられるが、積層構造で用いられる場合が多い。発光層、電子輸送層、電子注入層、正孔注入層又は正孔輸送層などを組み合わせて様々な積層構造が提案されているが、本願発明ではいずれの構造であっても良い。勿論、E L 層に対して蛍光性色素等をドーピングしても良い。また、本明細書中では、画素電極（陽極）、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【 0 0 6 1 】

本願発明では既に公知のあらゆる E L 材料を用いることができる。公知の材料としては、有機材料が広く知られており、駆動電圧を考慮すると有機材料を用いるのが好ましい。有機 E L 材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。

【 0 0 6 2 】

米国特許第 4, 3 5 6, 4 2 9 号、 米国特許第 4, 5 3 9, 5 0 7 号、 米国特許第 4, 7 2 0, 4 3 2 号、 米国特許第 4, 7 6 9, 2 9 2 号、 米国特許第 4, 8 8 5, 2 1 1 号、 米国特許第 4, 9 5 0, 9 5 0 号、 米国特許第 5, 0 5 9, 8 6 1 号、 米国特許第 5, 0 4 7, 6 8 7 号、 米国特許第 5,

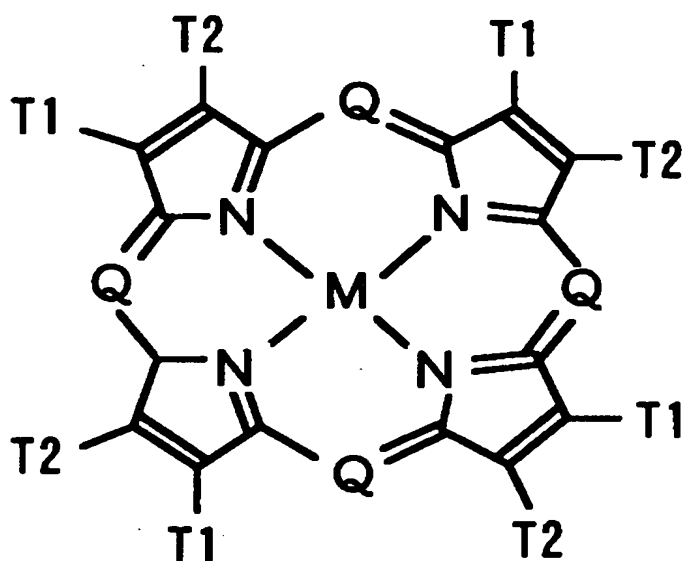
073, 446号、 米国特許第5, 059, 862号、 米国特許第5, 061, 617号、 米国特許第5, 151, 629号、 米国特許第5, 294, 869号、 米国特許第5, 294, 870号、 特開平10-189525号公報、 特開平8-241048号公報、 特開平8-78159号公報。

【0063】

具体的には、正孔注入層としての有機材料は次のような一般式で表されるものを用いることができる。

【0064】

【化1】



【0065】

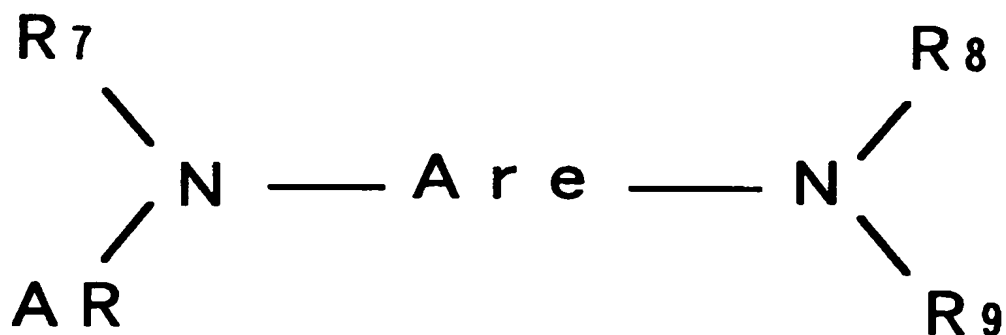
ここでQはN又はC-R（炭素鎖）であり、Mは金属、金属酸化物又は金属ハロゲン化物であり、Rは水素、アルキル、アラルキル、アリル又はアルカリルであり、T1、T2は水素、アルキル又はハロゲンのような置換基を含む不飽和六員環である。

【0066】

また、正孔輸送層としての有機材料は芳香族第三アミンを用いることができ、好ましくは次のような一般式で表されるテトラアリルジアミンを含む。

【0067】

【化2】



【0068】

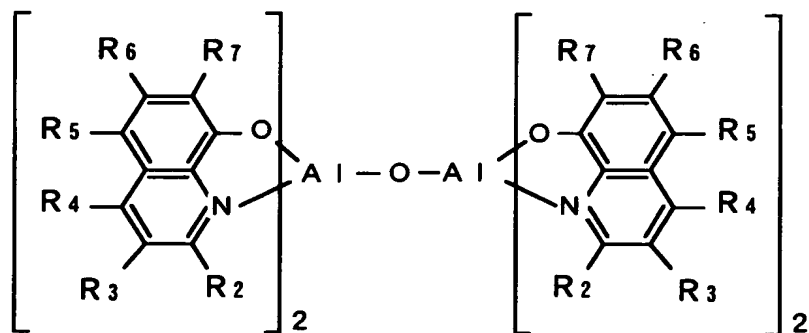
ここでAreはアリレン群であり、nは1から4の整数であり、Ar、R₇、R₈、R₉はそれぞれ選択されたアリル群である。

【0069】

また、EL層、電子輸送層又は電子注入層としての有機材料は金属オキシノイド化合物を用いることができる。金属オキシノイド化合物としては以下のような一般式で表されるものを用いれば良い。

【0070】

【化3】

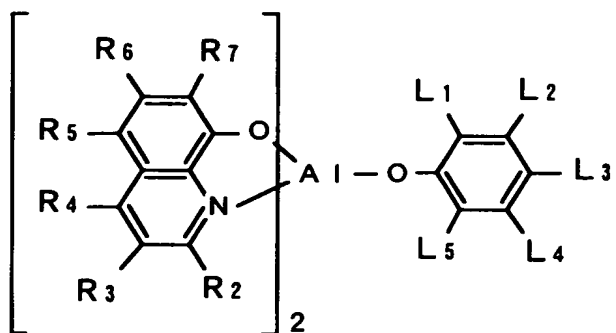


【0071】

ここでR₂—R₇は置き換え可能であり、次のような金属オキシノイド化合物を用いることもできる。

【0072】

【化 4】

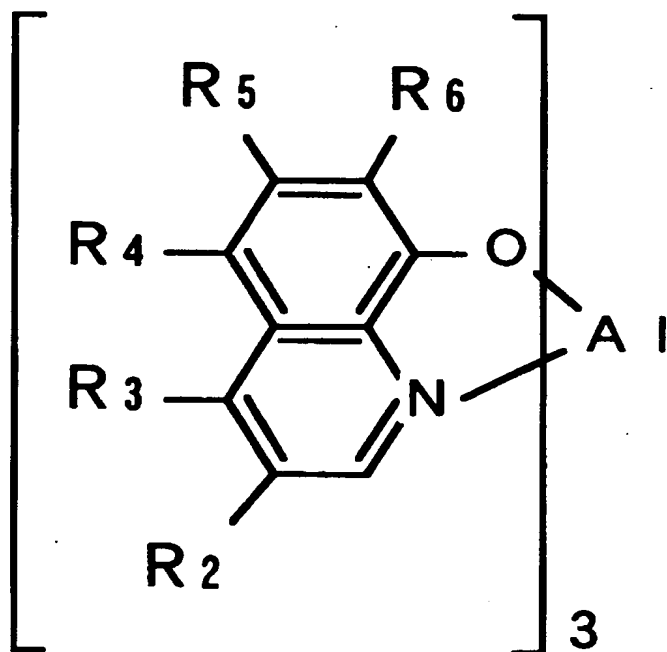


【0073】

ここで R_2 — R_7 は上述の定義によるものであり、 L_1 — L_5 は1から12の炭素元素を含む炭水化物群であり、 L_1 、 L_2 又は L_2 、 L_3 は共にベンゾ環を形成することができる。また、次のような金属オキシノイド化合物でも良い。

【0074】

【化 5】



【0075】

ここで R_2-R_6 は置き換え可能である。このように有機EL材料としては有機リガンドを有する配位化合物を含む。但し、以上の例は本願発明のEL材料として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。

【0076】

また、EL層の形成方法としてインクジェット方式を用いる場合、EL材料としてはポリマー系材料が好ましい。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系やポリフルオレン系などの高分子材料が挙げられる。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンビニレン、緑色発光材料にはポリフェニレンビニレン、青色発光材料にはポリフェニレンビニレン及びポリアルキルフェニレンが好ましい。インクジェット法に使用できる有機EL材料については、特開平10-012377号公報に記載されている材料を全て引用することができる。

【0077】

また、陰極47としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAlをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。また、保護電極48は陰極47を外部の湿気等から保護膜するために設けられる電極であり、アルミニウム（Al）若しくは銀（Ag）を含む材料が用いられる。この保護電極48には放熱効果もある。

【0078】

なお、EL層46及び陰極47は大気解放せずに連続形成することが望ましい。即ち、EL層や陰極がどのような積層構造であってもマルチチャンバー（クラスツールともいう）方式の成膜装置にて全て連続形成することが望ましい。これはEL層として有機材料を用いる場合、水分に非常に弱いため、大気解放した時の吸湿を避けるためである。さらに、EL層46及び陰極47だけでなく、その上の保護電極48まで連続形成するとさらに良い。

【0079】

成膜方法としては、E L 層が熱に対して非常に弱いため、真空蒸着法（特に、有機分子線蒸着法は分子オーダーレベルの超薄膜を形成する上で有効である。）、スパッタ法、プラズマCVD法、スピコーティング法、スクリーン印刷法又はイオンプレーティング法が好ましいが、インクジェット方式で形成することも可能である。インクジェット方式にはキャビテーションを用いるバブルジェット方式（特開平5-116297号等）と piezo素子を用いる piezo方式（特開平8-290647号等）とがあるが、有機E L材料が熱に弱いことを鑑みれば piezo方式が好ましい。

【0080】

また、49は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜49を設ける目的は、E L層46を水分から保護する目的が主であるが、第1パッシベーション膜41と同様に放熱効果をもたせても良い。従って、形成材料としては第1パッシベーション膜41と同様のものを用いることができる。但し、E L層46として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁膜は用いないことが望ましい。

【0081】

また、上述のようにE L層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピコーティング法）が望ましい成膜方法と言える。

【0082】

本願発明のE L表示装置は以上のような構造の画素からなる画素部を有し、画素内において機能に応じて構造の異なるT F Tが配置されている。これによりオフ電流値の十分に低いスイッチング用T F Tと、ホットキャリア注入に強い電流制御用T F Tとが同じ画素内に形成でき、高い信頼性を有し、良好な画像表示が可能なE L表示装置が形成できる。

【0083】

なお、図1の画素構造において最も重要な点はスイッチング用T F Tとしてマ

ルチゲート構造のTFTを用いる点であり、LDD領域の配置等の構成に関しては図1の構成に限定する必要はない。

【0084】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0085】

〔実施例1〕

本発明の実施例について図3～図5を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0086】

まず、図3(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜302として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10～25wt%としておく和良好的。

【0087】

また、下地膜301の一部として、図1に示した第1パッシベーション膜41と同様の材料からなる放熱層を設けることは有効である。電流制御用TFTは大電流を流すことになるので発熱しやすく、なるべく近いところに放熱層を設けておくことは有効である。

【0088】

次に下地膜301の上に50nmの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0089】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シ

リコン膜若しくはポリシリコン膜ともいう) 302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0090】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0091】

本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。しかし、電流制御用TFTは大電流を流す必要性があるため、電流を流しやすい結晶質珪素膜を用いた方が有利である。

【0092】

なお、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0093】

次に、図3(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0094】

そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリ

ン又は砒素を用いることができる。なお、本実施例ではフォスフィン (PH_3) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0095】

この工程により形成される n 型不純物領域 305、306 には、n 型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$) の濃度で含まれるようにドーズ量を調節する。

【0096】

次に、図 3 (C) に示すように、保護膜 303 を除去し、添加した 15 族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜 303 をつけたままレーザー光を照射しても良い。

【0097】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して $450 \sim 550^\circ\text{C}$ 程度の熱処理を行えば良い。

【0098】

この工程により n 型不純物領域 305、306 の端部、即ち、n 型不純物領域 305、306 の周囲に存在する n 型不純物元素を添加していない領域との境界部 (接合部) が明確になる。このことは、後に TFT が完成した時点において、LDD 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0099】

次に、図 3 (D) に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜 (以下、活性層という) 307~310 を形成する。

【0 1 0 0】

次に、図 3 (E) に示すように、活性層 3 0 7 ~ 3 1 0 を覆ってゲート絶縁膜 3 1 1 を形成する。ゲート絶縁膜 3 1 1 としては、1 0 ~ 2 0 0 n m、好ましくは 5 0 ~ 1 5 0 n m の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 1 1 0 n m 厚の窒化酸化珪素膜を用いる。

【0 1 0 1】

次に、2 0 0 ~ 4 0 0 n m 厚の導電膜を形成し、パターニングしてゲート電極 3 1 2 ~ 3 1 6 を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

【0 1 0 2】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には 2 μ m 以下の線幅にパターニング可能な材料が好ましい。

【0 1 0 3】

代表的には、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、クロム (C r)、導電性を有するシリコン (S i) から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には M o - W 合金、M o - T a 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0 1 0 4】

本実施例では、5 0 n m 厚の窒化タンタル (T a N) 膜と、3 5 0 n m 厚の T a 膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパ

ッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0105】

またこの時、ゲート電極313、316はそれぞれn型不純物領域305、306の一部とゲート絶縁膜311を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0106】

次に、図4（A）に示すように、ゲート電極312～316をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域317～323にはn型不純物領域305、306の $1/2 \sim 1/10$ （代表的には $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0107】

次に、図4（B）に示すように、ゲート電極等を覆う形でレジストマスク324a～324cを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域325～331を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

【0108】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETでは、図4（A）の工程で形成したn型不純物領域320～322の一部を残す。この残された領域が、図1におけるスイッチング用TFETのLDD領域15a～15dに対応する。

【0109】

次に、図4（C）に示すように、レジストマスク324a～324cを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域333、334を形成す

る。ここではジボラン (B_2H_6) を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度となるようにボロンを添加する。

【0110】

なお、不純物領域 333、334 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に P 型に反転し、P 型の不純物領域として機能する。

【0111】

次に、レジストマスク 332 を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、 550°C 、4 時間の熱処理を行う。

【0112】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが望ましい。

【0113】

次に、活性化工程が終了したら 300 nm 厚のゲート配線 335 を形成する。ゲート配線 335 の材料としては、アルミニウム (Al) 又は銅 (Cu) を主成分 (組成として 50~100% を占める。) とする金属膜を用いれば良い。配置としては図 2 のゲート配線 211 のように、スイッチング用 TFT のゲート電極 314、315 (図 2 のゲート電極 19a、19b に相当する) を電氣的に接続するように形成する。(図 4 (D))

【0114】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域 (画素部) を形成することができる。即

ち、画面の大きさが対角 1 0 インチ以上（さらには 3 0 インチ以上）の E L 表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【0 1 1 5】

次に、図 5（A）に示すように、第 1 層間絶縁膜 3 3 6 を形成する。第 1 層間絶縁膜 3 3 6 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 4 0 0 n m ~ 1 . 5 μ m とすれば良い。本実施例では、2 0 0 n m 厚の窒化酸化珪素膜の上に 8 0 0 n m 厚の酸化珪素膜を積層した構造とする。

【0 1 1 6】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 ° C で 1 ~ 1 2 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0 1 1 7】

なお、水素化処理は第 1 層間絶縁膜 3 3 6 を形成する間に入れても良い。即ち、2 0 0 n m 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 8 0 0 n m 厚の酸化珪素膜を形成しても構わない。

【0 1 1 8】

次に、第 1 層間絶縁膜 3 3 6 に対してコンタクトホールを形成し、ソース配線 3 3 7 ~ 3 4 0 と、ドレイン配線 3 4 1 ~ 3 4 3 を形成する。なお、本実施例ではこの電極を、T i 膜を 1 0 0 n m、T i を含むアルミニウム膜を 3 0 0 n m、T i 膜 1 5 0 n m をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0 1 1 9】

次に、5 0 ~ 5 0 0 n m（代表的には 2 0 0 ~ 3 0 0 n m）の厚さで第 1 パッシベーション膜 3 4 4 を形成する。本実施例では第 1 パッシベーション膜 3 4 4 として 3 0 0 n m 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。勿論、図 1 の第 1 パッシベーション膜 4 1 と同様の材料を用いることが可能である。

【0 1 2 0】

なお、窒化酸化珪素膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜336に供給され、熱処理を行うことで、第1パッシベーション膜344の膜質が改善される。それと同時に、第1層間絶縁膜336に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0 1 2 1】

次に、図5(B)に示すように、カラーフィルター345と蛍光体346を形成する。これらの材料は公知のものを用いれば良い。また、これらは別々にパターニングして形成しても良いし、連続的に形成して一括でパターニングして形成しても良い。それぞれの膜厚は $0.5 \sim 5 \mu m$ （典型的には $1 \sim 2 \mu m$ ）の範囲で選択する。特に、蛍光体346は用いる材料によって最適な膜厚が異なる。即ち、薄すぎると色変換効率が悪くなり、厚すぎると段差が大きくなる上に光の透過光量が落ちてしまう。従って、両特性の兼ね合いで最適な膜厚を決定しなければならない。

【0 1 2 2】

なお、本実施例ではEL層から発生した光を色変換するカラー化方式を例にとって説明しているが、RGBに対応するEL層を個別に作製する方式を採用する場合は、カラーフィルターや蛍光体を省略することもできる。その場合、スクリーン印刷法、インクジェット法、マスク蒸着法（マスク材を用いて選択的に形成する方法）等を用いれば良い。

【0 1 2 3】

次に、有機樹脂からなる第2層間絶縁膜347を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜346は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではカラーフィルター345及び蛍光体346の段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは $1 \sim 5 \mu m$ （さらに好ましくは $2 \sim 4 \mu m$ ）とすれば良い。

【0 1 2 4】

次に、第2層間絶縁膜347、第1パッシベーション膜344にドレイン配線343に達するコンタクトホールを形成し、画素電極348を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングを行って画素電極とする。この画素電極348がEL素子の陽極となる。なお、他の材料として、酸化インジウム・チタン膜や酸化インジウム・亜鉛膜を用いることも可能である。

【0125】

なお、本実施例では画素電極348がドレイン配線343を介して電流制御用TFTのドレイン領域331へと電氣的に接続された構造となっている。この構造には次のような利点がある。

【0126】

画素電極348はEL層（発光層）や電荷輸送層などの有機材料に直接接することになるため、EL層等に含まれた可動イオンが画素電極中を拡散する可能性がある。即ち、本実施例の構造は画素電極348を直接活性層の一部であるドレイン領域331へ接続せず、ドレイン配線343を中継することによって活性層中への可動イオンの侵入を防ぐことができる。

【0127】

次に、図5（C）に示すように、EL層349、陰極（MgAg電極）350、保護電極351を大気解放しないで連続形成する。このときEL層349及び陰極350を形成するに先立って画素電極348に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、EL層349としては公知の材料を用いることができる。

【0128】

なお、EL層349としては【発明の実施の形態】の欄で説明した材料を用いることができる。本実施例では図19に示すように、正孔注入層（Hole injecting layer）、正孔輸送層（Hole transporting layer）、発光層（Emitting layer）及び電子輸送層（Electron transporting layer）でなる4層構造をEL層とするが、電子輸送層を設けない場合もあるし、電子注入層を設ける場合もある。また、正孔注入層を省略する場合もある。このように組み合わせは既に様々な例

が報告されており、そのいずれの構成を用いても構わない。

【0 1 2 9】

正孔注入層又は正孔輸送層としてはアミン系のTPD（トリフェニルアミン誘導体）を用いればよく、他にもヒドラゾン系（代表的にはDEH）、スチルベン系（代表的にはSTB）、スターバスト系（代表的にはm-MTDATA）等を用いることができる。特にガラス転移温度が高く結晶化しにくいスターバスト系材料が好ましい。

【0 1 3 0】

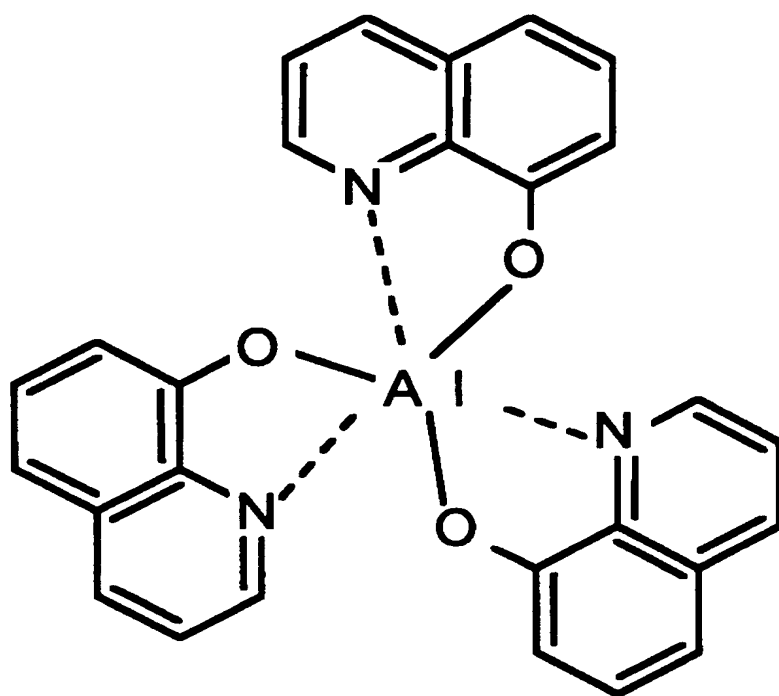
発光層としては赤色発光層としてはBPPE、ペリレン、DCMが用いることができるが、特にEu(DBM)₃(Phen)で示されるEu錯体（J.Kido et al, Appl. Phys., vol. 35, pp. L394-396, 1996に詳しい。）は620nmの波長に鋭い発光をもち単色性が高い。

【0 1 3 1】

また、緑色発光層として代表的にはAlq₃ (8-hydroxyquinoline aluminium) に数モル%のキナクリドン又はクマリンを添加した材料を用いることができる。化学式は以下のようになる。

【0 1 3 2】

【化 6】



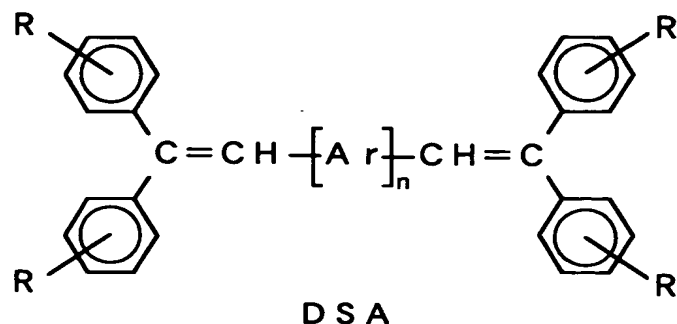
Alq3

【0133】

また、青色発光層として代表的にはDSA（ジスチルアリーレン誘導体）にアミノ置換DSAを添加したジスチルアリーレンアミン誘導体を用いることができる。特に、性能の高い材料であるジスチリルビフェニル（DPVBi）を用いることが好ましい。化学式は以下のようになる。

【0134】

【化 7】



【0 1 3 5】

また、第2パッシベーション膜352として300nm厚の窒化珪素膜を設けるが、これも保護電極351の後に大気解放しないで連続的に形成しても構わない。勿論、第2パッシベーション膜352としては、図1の第2パッシベーション膜49と同一の材料を用いることができる。

【0 1 3 6】

本実施例では正孔注入層、正孔輸送層、発光層及び電子注入層となる4層構造をEL層とするが、組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。また、本実施例ではEL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0 1 3 7】

また、保護電極351はMgAg電極350の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層349、MgAg電極350は非常に水分に弱いので、保護電極351までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

【0 1 3 8】

なお、EL層349の膜厚は10～400nm（典型的には60～160nm）、MgAg電極350の厚さは180～300nm（典型的には200～250nm）とすれば良い。

【0 1 3 9】

こうして図 5 (C) に示すような構造のアクティブマトリクス型 E L 表示装置が完成する。ところで、本実施例のアクティブマトリクス型 E L 表示装置は、画素部だけでなく駆動回路部にも最適な構造の T F T を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【 0 1 4 0 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する T F T を、駆動回路を形成する C M O S 回路の n チャネル型 T F T 2 0 5 として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D / A コンバータなどの信号変換回路も含まれうる。

【 0 1 4 1 】

本実施例の場合、図 5 (C) に示すように、n チャネル型 2 0 5 の活性層は、ソース領域 3 5 5、ドレイン領域 3 5 6、L D D 領域 3 5 7 及びチャネル形成領域 3 5 8 を含み、L D D 領域 3 5 7 はゲート絶縁膜 3 1 1 を介してゲート電極 3 1 3 と重なっている。

【 0 1 4 2 】

ドレイン領域側のみに L D D 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 2 0 5 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、L D D 領域 3 5 7 は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【 0 1 4 3 】

また、C M O S 回路の p チャネル型 T F T 2 0 6 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。勿論、n チャネル型 T F T 2 0 5 と同様に L D D 領域を設け、ホットキャリア対策を講じることが可能である。

【 0 1 4 4 】

なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり

、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用 T F T と電流制御用 T F T の中間程度の機能を有する T F T を配置することが望ましい。

【 0 1 4 5 】

従って、サンプリング回路を形成する n チャネル型 T F T は、図 9 に示すような構造の T F T を配置することが望ましい。図 9 に示すように、L D D 領域 9 0 1 a、9 0 1 b の一部がゲート絶縁膜 9 0 2 を介してゲート電極 9 0 3 と重なる。この効果は電流制御用 T F T 2 0 2 の説明で述べた通りであり、サンプリング回路の場合はチャネル形成領域 9 0 4 を挟む形で設ける点が異なる。

【 0 1 4 6 】

また、図 1 に示したような構造の画素を形成して画素部を形成している。画素内に形成されるスイッチング用 T F T 及び電流制御用 T F T の構造については、図 1 で既に説明したのでここでの説明は省略する。

【 0 1 4 7 】

なお、実際には図 5 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置することで E L 層の信頼性（寿命）が向上する。

【 0 1 4 8 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成する。このような出荷できる状態にまでした E L 表示装置を本明細書中では E L モジュールという。

【 0 1 4 9 】

ここで本実施例のアクティブマトリクス型 E L 表示装置の構成を図 6 の斜視図

を用いて説明する。本実施例のアクティブマトリクス型 E L 表示装置は、ガラス基板 6 0 1 上に形成された、画素部 6 0 2 と、ゲート側駆動回路 6 0 3 と、ソース側駆動回路 6 0 4 で構成される。画素部のスイッチング用 T F T 6 0 5 は n チャンネル型 T F T であり、ゲート側駆動回路 6 0 3 に接続されたゲート配線 6 0 6 、ソース側駆動回路 6 0 4 に接続されたソース配線 6 0 7 の交点に配置されている。また、スイッチング用 T F T 6 0 5 のドレインは電流制御用 T F T 6 0 8 のゲートに接続されている。

【0 1 5 0】

さらに、電流制御用 T F T 6 0 6 のソース側は電源供給線 6 0 9 に接続される。本実施例のような構造では、電源供給線 6 0 9 には接地電位（アース電位）が与えられている。また、電流制御用 T F T 6 0 8 のドレインには E L 素子 6 1 0 が接続されている。また、この E L 素子 6 1 0 のカソードには所定の電圧（本実施例では 1 0 ～ 1 2 V）が加えられる。

【0 1 5 1】

そして、外部入出力端子となる F P C 6 1 1 には駆動回路まで信号を伝達するための入出力配線（接続配線） 6 1 2、6 1 3、及び電源供給線 6 0 9 に接続された入出力配線 6 1 4 が設けられている。

【0 1 5 2】

また、図 6 に示した E L 表示装置の回路構成の一例を図 7 に示す。本実施例の E L 表示装置は、ソース側駆動回路 7 0 1、ゲート側駆動回路（A）7 0 7、ゲート側駆動回路（B）7 1 1、画素部 7 0 6 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0 1 5 3】

ソース側駆動回路 7 0 1 は、シフトレジスタ 7 0 2、レベルシフタ 7 0 3、バッファ 7 0 4、サンプリング回路（サンプル及びホールド回路）7 0 5 を備えている。また、ゲート側駆動回路（A）7 0 7 は、シフトレジスタ 7 0 8、レベルシフタ 7 0 9、バッファ 7 1 0 を備えている。ゲート側駆動回路（B）7 1 1 も同様な構成である。

【0154】

ここでシフトレジスタ702、708は駆動電圧が5～16V（代表的には10V）であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図5（C）の205で示される構造が適している。

【0155】

また、レベルシフタ703、909、バッファ704、710は、駆動電圧は14～16Vと高くなるが、シフトレジスタと同様に、図5（C）のnチャネル型TFT205を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0156】

また、サンプリング回路705は駆動電圧が14～16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図9のnチャネル型TFT208を含むCMOS回路が適している。

【0157】

また、画素部706は駆動電圧が14～16Vであり、図1に示した構造の画素を配置する。

【0158】

なお、上記構成は、図3～5に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ回路、オペアンプ回路、 γ 補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうると考えている。

【0159】

さらに、ハウジング材をも含めた本実施例のELモジュールについて図17（A）、（B）を用いて説明する。なお、必要に応じて図6、図7で用いた符号を引用することにする。

【0160】

基板（TFTの下の下地膜を含む）1700上には画素部1701、ソース側駆動回路1702、ゲート側駆動回路1703が形成されている。それぞれの駆動回路からの各種配線は、入出力配線612～614を経てFPC611に至り外部機器へと接続される。

【0161】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材1704を設ける。なお、ハウジング材1704はEL素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤1705によって、基板1700と共同して密閉空間を形成するようにして基板1700に固着される。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材1704は複数設けても構わない。

【0162】

また、ハウジング材1704の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコーン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤1705が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

【0163】

また、接着剤1705の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0164】

さらに、ハウジング材と基板1700との間の空隙1706は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平8-78519号で用いら

れているような材料で良い。

【0 1 6 5】

また、空隙 1 7 0 6 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9 - 1 4 8 0 6 6 号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【0 1 6 6】

また、図 1 7 (B) に示すように、画素部には個々に孤立した E L 素子を有する複数の画素が設けられ、それらは全て保護電極 1 7 0 7 を共通電極として有している。本実施例では、E L 層、陰極 (M g A g 電極) 及び保護電極を大気解放しないで連続形成することが好ましいとしたが、E L 層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図 1 7 (B) の構造を実現することができる。

【0 1 6 7】

このとき、E L 層と陰極は画素部のみ設ければよく、駆動回路の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、E L 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0 1 6 8】

なお、保護電極 1 7 0 7 は 1 7 0 8 で示される領域において、入出力配線 1 7 0 9 に接続される。入出力配線 1 7 0 9 は保護電極 1 7 0 7 に所定の電圧 (本実施例では接地電位、具体的には 0 V) を与えるための電源供給線であり、導電性ペースト材料 1 7 1 0 を介して F P C 6 1 1 に接続される。

【0 1 6 9】

ここで領域 1 7 0 8 におけるコンタクト構造を実現するための作製工程を図 1 8 を用いて説明する。

【0 1 7 0】

まず、本実施例の工程に従って図 5 (A) の状態を得る。このとき、基板端部 (図 1 7 (B) において 1 7 0 8 で示される領域) において第 1 層間絶縁膜 3 3 6 及びゲート絶縁膜 3 1 1 を除去し、その上に入出力配線 1 7 0 9 を形成する。勿論、図 5 (A) のソース配線及びドレイン配線と同時に形成される。(図 1 8

(A))

【0 1 7 1】

次に、図 5 (B) において第 2 層間絶縁膜 3 4 7 及び第 1 パッシベーション膜 3 4 4 をエッチングする際に、1 8 0 1 で示される領域を除去し、且つ開孔部 1 8 0 2 を形成する。(図 1 8 (B))

【0 1 7 2】

この状態で画素部では E L 素子の形成工程 (画素電極、E L 層及び陰極の形成工程) が行われる。この際、図 1 8 に示される領域ではマスク材を用いて E L 素子が形成されないようにする。そして、陰極 3 5 0 を形成した後、別のマスク材を用いて保護電極 3 5 0 を形成する。これにより保護電極 3 5 0 と入出力配線 1 8 0 1 とが電氣的に接続される。さらに、第 2 パッシベーション膜 3 5 2 を設けて図 1 8 (C) の状態を得る。

【0 1 7 3】

以上の工程により図 1 7 (B) の 1 7 0 8 で示される領域のコンタクト構造が実現される。そして、入出力配線 1 7 0 9 はハウジング材 1 7 0 4 と基板 1 7 0 0 との間を隙間 (但し接着剤 1 7 0 5 で充填されている。即ち、接着剤 1 7 0 5 は入出力配線の段差を十分に平坦化しうる厚さが必要である。) を通って F P C 6 1 1 に接続される。なお、ここでは入出力配線 1 7 0 9 について説明したが、他の出力配線 6 1 2 ~ 6 1 4 も同様にしてハウジング材 1 7 0 4 の下を通して F P C 6 1 1 に接続される。

【0 1 7 4】

〔実施例 2〕

本実施例では、画素の構成を図 2 (B) に示した構成と異なるものとした例を図 1 0 に示す。

【0 1 7 5】

本実施例では、図 2 (B) に示した二つの画素を、接地電位を与えるための電源供給線 2 1 2 について対称となるように配置する。即ち、図 1 0 に示すように、電源供給線 2 1 3 を隣接する二つの画素間で共通化することで、必要とする配線の本数を低減することができる。なお、画素内に配置される T F T 構造等はそ

のままで良い。

【0 1 7 6】

このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。

【0 1 7 7】

なお、本実施例の構成は実施例 1 の作製工程に従って容易に実現可能であり、T F T 構造等に関しては実施例 1 や図 1 の説明を参照すれば良い。

【0 1 7 8】

〔実施例 3〕

本実施例では、図 1 と異なる構造の画素部を形成する場合について図 1 1 を用いて説明する。なお、第 2 層間絶縁膜 4 4 を形成する工程までは実施例 1 に従えば良い。また、第 2 層間絶縁膜 4 4 で覆われたスイッチング用 T F T 2 0 1、電流制御用 T F T 2 0 2 は図 1 と同じ構造であるので、説明は省略する。

【0 1 7 9】

本実施例の場合、第 2 層間絶縁膜 4 4 及び第 1 パッシベーション膜 4 1 に対してコンタクトホールを形成したら、画素電極 5 1、陰極 5 2 及び E L 層 5 3 を形成する。本実施例では陰極 5 2 と E L 層 5 3 を大気解放しない真空蒸着法で連続的に形成するが、その際にマスク材を用いて選択的に赤色発光の E L 層、緑色発光の E L 層、青色発光の E L 層を別々の画素に形成する。なお、図 1 1 には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。これら各色の E L 層は公知の材料を採用すれば良い。

【0 1 8 0】

本実施例では画素電極 5 1 として、1 5 0 n m 厚のアルミニウム合金膜（1 w t % のチタンを含有したアルミニウム膜）を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。また、陰極 5 2 として 2 3 0 n m 厚の M g A g 電極を用い、E L 層 5 3 の膜厚は 9 0 n m（下から電子輸送層 2 0 n m、発光層 4 0 n m、正孔輸送層 3 0 n m）とする。

【0181】

次に、珪素を含む絶縁膜を200～500nm（典型的には250～300nm）の厚さに形成し、パターニングによって開口部を有する保護膜54を形成する。そして、その上に透明導電膜（本実施例ではITO膜）でなる陽極55を110nmの厚さに形成する。こうしてEL素子209が形成され、実施例1に示した材料でもって第2パッシベーション膜56を形成すれば図11に示すような構造の画素が完成する。

【0182】

本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光はTF Tが形成された基板とは反対側に放射される。そのため、画素内のほぼ全域、即ちTF Tが形成された領域をも有効な発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上し、画像の明るさやコントラスト比（明暗の比）が向上する。

【0183】

なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることが可能である。

【0184】

〔実施例4〕

本実施例では、実施例1の図2とは異なる構造の画素を形成する場合について図12（A）、（B）を用いて説明する。

【0185】

図12（A）において、1201はスイッチング用TF Tであり、活性層56、ゲート電極57a、ゲート配線57b、ソース配線58及びドレイン配線59を構成として含む。また、1202は電流制御用TF Tであり、活性層60、ゲート電極61、ソース配線62及びドレイン配線63を構成として含む。そして、電流制御用TF T1202のソース配線62は電源供給線64に接続され、ドレイン配線63はEL素子66に接続される。この画素構造を模式的に表したのが図12（B）である。

【0186】

図 1 2 (A) と図 2 (A) との相違点は、スイッチング用 T F T の構造である。本実施例では線幅が 0. 1 ~ 5 μm と細いゲート電極 5 7 a を形成し、その部分を横切るようにして活性層 5 6 を形成する。そして各画素のゲート電極 5 7 a を電氣的に接続するようにゲート配線 5 7 b が形成される。これにより面積をさほど専有することなくトリプルゲート構造を実現している。

【0 1 8 7】

他の部分は図 2 (A) と同様であるが、本実施例のような構造とするとスイッチング用 T F T の専有する面積が小さくなるため有効発光面積が広くなる、即ち画像の明るさが向上する。また、オフ電流値を低減するための冗長性を高めたゲート構造を実現しうるため、さらなる画質の向上を図ることができる。

【0 1 8 8】

なお、本実施例の構成は実施例 2 のように電源供給線 6 4 を隣接する画素間で共通化しても良いし、実施例 3 のような構造としても良い。また、作製工程に関しては実施例 1 に従えば良い。

【0 1 8 9】

〔実施例 5〕

実施例 1 ~ 4 ではトップゲート型 T F T の場合について説明したが、本願発明はボトムゲート型 T F T を用いて実施しても構わない。本実施例では逆スタガ型 T F T で本願発明を実施した場合について図 1 3 に示す。なお、T F T 構造以外は図 1 の構造と同様であるので必要に応じて図 1 と同じ符号を用いる。

【0 1 9 0】

図 1 3 において、基板 1 1、下地膜 1 2 には実施例 1 と同様の材料を用いることができる。そして、下地膜 1 2 上にはスイッチング用 T F T 1 3 0 1 及び電流制御用 T F T 1 3 0 2 が形成される。

【0 1 9 1】

スイッチング用 T F T 1 3 0 1 の構成は、ゲート電極 7 0 a、7 0 b、ゲート配線 7 1、ゲート絶縁膜 7 2、ソース領域 7 3、ドレイン領域 7 4、L D D 領域 7 5 a ~ 7 5 d、高濃度不純物領域 7 6、チャネル形成領域 7 7 a、7 7 b、チャネル保護膜 7 8 a、7 8 b、第 1 層間絶縁膜 7 9、ソース配線 8 0 及びドレイン配線 8

1 を含む。

【0 1 9 2】

また、電流制御用 T F T 1 3 0 2 の構成は、ゲート電極 8 2、ゲート絶縁膜 7 2、ソース領域 8 3、ドレイン領域 8 4、L D D 領域 8 5、チャネル形成領域 8 6、チャネル保護膜 8 7、第 1 層間絶縁膜 7 9、ソース配線 8 8 及びドレイン配線 8 9 を含む。この時、ゲート電極 8 3 はスイッチング用 T F T 1 3 0 1 のドレイン配線 8 2 と電氣的に接続される。

【0 1 9 3】

なお、上記スイッチング用 T F T 1 3 0 1 及び電流制御用 T F T 1 3 0 2 は公知の逆スタガ型 T F T の作製方法によって形成すれば良い。また、上記 T F T を形成する各部位（配線、絶縁膜、活性層等）の材料は実施例 1 のトップゲート型 T F T において対応する各部位と同様の材料を用いることができる。但し、トップゲート型 T F T の構成にはないチャネル保護膜 7 9 a、7 9 b、8 8 に関しては、珪素を含む絶縁膜で形成すれば良い。また、ソース領域、ドレイン領域又は L D D 領域等の不純物領域の形成については、フォトリソグラフィ技術を用いて個別に不純物濃度を変えて形成すれば良い。

【0 1 9 4】

T F T が完成したら、第 1 パッシベーション膜 4 1、カラーフィルター 4 2、蛍光体 4 3、第 2 層間絶縁膜（平坦化膜）4 4、画素電極（陽極）4 5、E L 層 4 6、M g A g 電極（陰極）4 7、アルミニウム電極（保護電極）4 8、第 2 パッシベーション膜 4 9 を順次形成して E L 素子 1 3 0 3 を有する画素が完成する。これらの作製工程及び材料に関しては実施例 1 を参考にすれば良い。

【0 1 9 5】

なお、本実施例の構成は、実施例 2 ～ 4 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 9 6】

〔実施例 6〕

実施例 1 の図 5（C）又は図 1 の構造において、活性層と基板との間に設けられる下地膜として、第 1 パッシベーション膜 4 1 や第 2 パッシベーション膜 4 9

と同様に放熱効果の高い材料を用いることは有効である。特に電流制御用 T F T は大電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することで T F T の熱劣化を防ぐことができる。

【0197】

もちろん、基板から拡散する可動イオン等から防ぐ効果も重要であるので、第 1 パッシベーション膜 4 1 と同様に S i、A l、N、O、M を含む化合物と珪素を含む絶縁膜との積層構造を用いることも好ましい。

【0198】

なお、本実施例の構成は、実施例 1 ～ 5 のいずれの構成とも自由に組み合わせることが可能である。

【0199】

〔実施例 7〕

実施例 3 に示した画素構造とした場合、E L 層から発する光は基板とは反対側に放射されるため、基板と画素電極との間に存在する絶縁膜等の透過率を気にする必要がない。即ち、多少透過率の低い材料であっても用いることができる。

【0200】

従って、下地膜 1 2、第 1 パッシベーション膜 4 1 としてダイヤモンド薄膜又はアモルファスカーボン膜と呼ばれる炭素膜を用いる上で有利である。即ち、透過率の低下を気にする必要がないため、膜厚を 1 0 0 ～ 5 0 0 n m というように厚く設定することができ、放熱効果をより高めることが可能である。

【0201】

なお、第 2 パッシベーション膜 4 9 に上記炭素膜を用いる場合に関しては、やはり透過率の低下は避けるべきであるので、膜厚は 5 ～ 1 0 0 n m 程度にしておくことが好ましい。

【0202】

なお、本実施例においても下地膜 1 2、第 1 パッシベーション膜 4 1 又は第 2 パッシベーション膜 4 9 のいずれに炭素膜を用いる場合においても、他の絶縁膜と積層して用いることは有効である。

【0203】

なお、本実施例は実施例3に示した画素構造とする場合において有効であり、その他の構成に関しては、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0204】

〔実施例8〕

本願発明ではEL表示装置の画素においてスイッチング用TF Tをマルチゲート構造とすることによりスイッチング用TF Tのオフ電流値を低減し、保持容量の必要性を排除することを特徴としている。これは保持容量の専有する面積を発光領域として有効に活用するための工夫である。

【0205】

しかしながら、保持容量を完全になくせないまでも専有面積を小さくするだけで有効発光面積を広げるという効果は得られる。即ち、スイッチング用TF Tをマルチゲート構造にすることによりオフ電流値を低減し、保持容量の専有面積を縮小化するだけでも十分に本願発明の目的は達成される。

【0206】

従って、本実施例の画素構造は図14に示すような構造となる。なお、図14では必要に応じて図1と同じ符号を引用している。

【0207】

図14と図1との相違点は、スイッチング用TF Tに接続された保持容量1401が存在する点である。保持容量1401はスイッチング用TF T201のドレイン領域14から延長された半導体領域（下部電極）1402とゲート絶縁膜18と容量電極（上部電極）1403とで形成される。この容量電極1403はTF Tのゲート電極19a、19b、35と同時に形成される。

【0208】

この上面図を図15（A）に示す。図15（A）の上面図をA-A'で切った断面図が図14に相当する。図15（A）示すように、容量電極1403は電氣的に接続された接続配線1404を介して電流制御用TF Tのソース領域31と電氣的に接続される。なお、接続配線1404はソース配線21、36及びドレ

イン配線 2 2、3 7 と同時に形成される。また、図 1 5 (B) は図 1 5 (A) に示す上面図の構成を模式的に表している。

【0 2 0 9】

なお、本実施例の構成は、実施例 1 ～ 7 のいずれの構成とも自由に組み合わせることができる。即ち、画素内に保持容量が設けられるだけであって、T F T 構造や E L 層の材料等に限定を加えるものではない。

【0 2 1 0】

〔実施例 9〕

実施例 1 では、結晶質珪素膜 3 0 2 の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

【0 2 1 1】

本実施例では、非晶質珪素膜を形成した後、特開平 7 - 1 3 0 6 5 2 号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進（助長）する触媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

【0 2 1 2】

また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平 1 0 - 2 7 0 3 6 3 号若しくは特開平 8 - 3 3 0 6 0 2 号に記載された技術により触媒をゲッタリングすれば良い。

【0 2 1 3】

また、本出願人による特願平 1 1 - 0 7 6 9 6 7 の出願明細書に記載された技術を用いて T F T を形成しても良い。

【0 2 1 4】

以上のように、実施例 1 に示した作製工程は一実施例であって、図 1 又は実施例 1 の図 5 (C) の構造が実現できるのであれば、他の作製工程を用いても問題はない。

【0 2 1 5】

なお、本実施例の構成は、実施例 1 ～ 8 のいずれの構成とも自由に組み合わせることが可能である。

【0 2 1 6】

〔実施例 1 0〕

本願発明の E L 表示装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

【0 2 1 7】

アナログ駆動を行う場合、スイッチング用 T F T のソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用 T F T のゲート電圧となる。そして、電流制御用 T F T で E L 素子に流れる電流を制御し、E L 素子の発光強度を制御して階調表示を行う。

【0 2 1 8】

一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割駆動と呼ばれる階調表示を行う。即ち、発光時間の長さを調節することで、視覚的に色階調が変化しているように見せる。

【0 2 1 9】

E L 素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1 フレームを複数のサブフレームに分割して階調表示を行う時分割駆動に適した素子であると言える。

【0 2 2 0】

このように、本願発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【0 2 2 1】

〔実施例 1 1〕

実施例 1 では E L 層として有機 E L 材料を用いることが好ましいとしたが、本願発明は無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、アナログ駆動を行う場合には、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

【0 2 2 2】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本願発

明に適用することは可能である。

【0 2 2 3】

また、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【0 2 2 4】

〔実施例 1 2〕

本願発明を実施して形成されたアクティブマトリクス型 E L 表示装置（E L モジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため直視型の E L ディスプレイ（E L モジュールを組み込んだ表示ディスプレイを指す）として用途は広い。

【0 2 2 5】

なお、E L ディスプレイが液晶ディスプレイよりも有利な点の一つとして視野角の広さが挙げられる。従って、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上（典型的には 4 0 インチ以上）の表示ディスプレイ（表示モニタ）として本願発明の E L ディスプレイを用いるとよい。

【0 2 2 6】

また、E L ディスプレイ（パソコンモニタ、T V 放送受信用モニタ、広告表示モニタ等）として用いるだけでなく、様々な電子装置の表示ディスプレイとして用いることができる。

【0 2 2 7】

その様な電子装置としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（C D）、レーザーディスク（L D）又はデジタルビデオディスク（D V D）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら半導体装置の例を図 1 6 に示す。

【0 2 2 8】

図 1 6 （A）はパーソナルコンピュータであり、本体 2 0 0 1、筐体 2 0 0 2

、表示装置 2 0 0 3、キーボード 2 0 0 4 等を含む。本願発明は表示装置 2 0 0 3 に用いることができる。

【0 2 2 9】

図 1 6 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本願発明を表示装置 2 1 0 2 に用いることができる。

【0 2 3 0】

図 1 4 (C) はゴーグル型ディスプレイであり、本体 2 2 0 1、表示装置 2 2 0 2、アーム部 2 2 0 3 等を含む。本発明は表示装置 2 2 0 2 に用いることができる。

【0 2 3 1】

図 1 6 (D) は携帯型 (モバイル) コンピュータであり、本体 2 3 0 1、カメラ部 2 3 0 2、受像部 2 3 0 3、操作スイッチ 2 3 0 4、表示装置 2 3 0 5 等を含む。本発明は表示装置 2 4 0 5 に用いることができる。

【0 2 3 2】

図 1 6 (E) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2 4 0 1、記録媒体 (CD、LD または DVD 等) 2 4 0 2、操作スイッチ 2 4 0 3、表示装置 (a) 2 4 0 4、表示装置 (b) 2 4 0 5 等を含む。表示装置 (a) は主として画像情報を表示し、表示装置 (b) は主として文字情報を表示するが、本発明はこれら表示装置 (a)、(b) に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD 再生装置、ゲーム機器などに本発明を用いることができる。

【0 2 3 3】

図 1 6 (F) は EL ディスプレイであり、筐体 2 5 0 1、支持台 2 5 0 2、表示装置 2 5 0 3 等を含む。本発明は表示装置 2 5 0 3 に用いることができる。本発明の EL ディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上 (特に対角 3 0 インチ以上) のディスプレイには有利である。

【0 2 3 4】

また、将来的に EL 材料の発光輝度が高くなれば、フロント型若しくはリア型

のプロジェクターに用いることも可能となる。

【 0 2 3 5 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 3 6 】

【発明の効果】

本願発明を用いることで、同一基板上に、素子の求める仕様に応じて適切な性能の T F T を配置した画素を形成することが可能となり、アクティブマトリクス型 E L 表示装置の動作性能や信頼性を大幅に向上させることができる。

【 0 2 3 7 】

また、そのような E L 表示装置を表示ディスプレイとして有することで、画像品質が良く、耐久性のある（信頼性の高い）応用製品（電子装置）を生産することが可能となる。

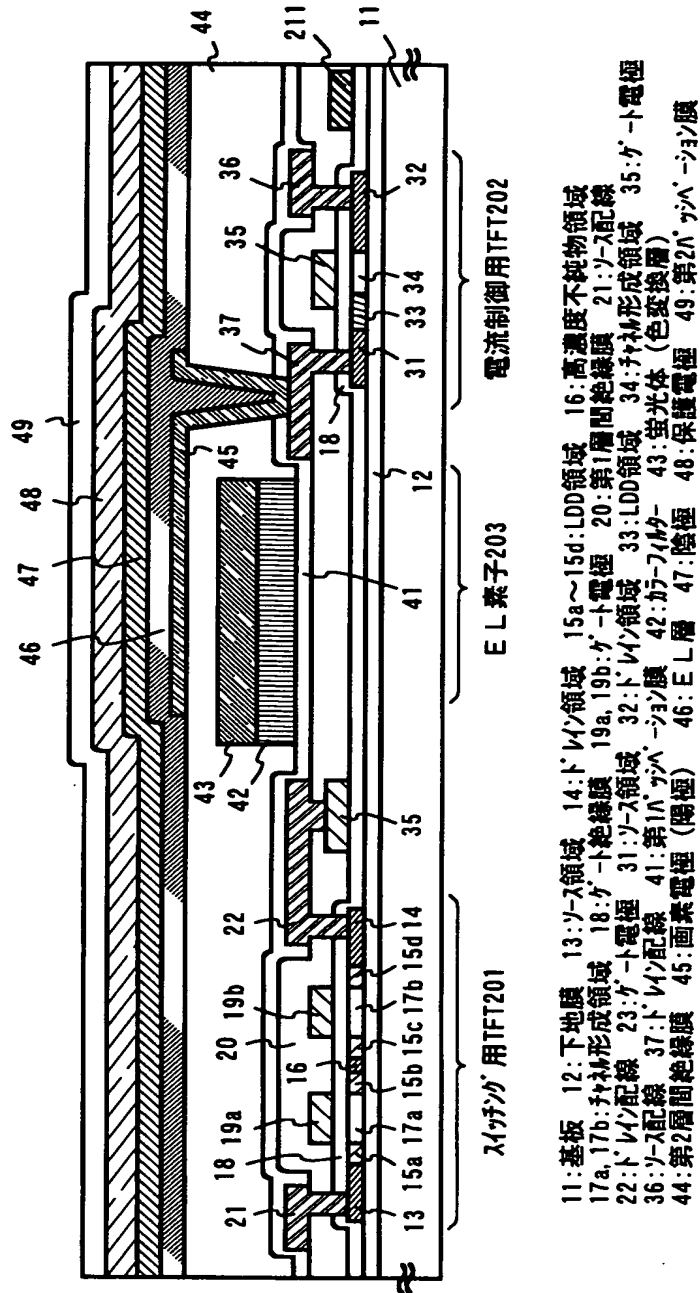
【図面の簡単な説明】

- 【図 1】 E L 表示装置の画素部の断面構造を示す図。
- 【図 2】 E L 表示装置の画素部の上面構造及び構成を示す図。
- 【図 3】 アクティブマトリクス型 E L 表示装置の作製工程を示す図。
- 【図 4】 アクティブマトリクス型 E L 表示装置の作製工程を示す図。
- 【図 5】 アクティブマトリクス型 E L 表示装置の作製工程を示す図。
- 【図 6】 E L モジュールの外観を示す図。
- 【図 7】 E L 表示装置の回路ブロック構成を示す図。
- 【図 8】 E L 表示装置の画素部を拡大した図。
- 【図 9】 E L 表示装置のサンプリング回路の素子構造を示す図。
- 【図 1 0】 E L 表示装置の画素部の構成を示す図。
- 【図 1 1】 E L 表示装置の画素部の断面構造を示す図。
- 【図 1 2】 E L 表示装置の画素部の上面構造及び構成を示す図。
- 【図 1 3】 E L 表示装置の画素部の断面構造を示す図。
- 【図 1 4】 E L 表示装置の画素部の断面構造を示す図。

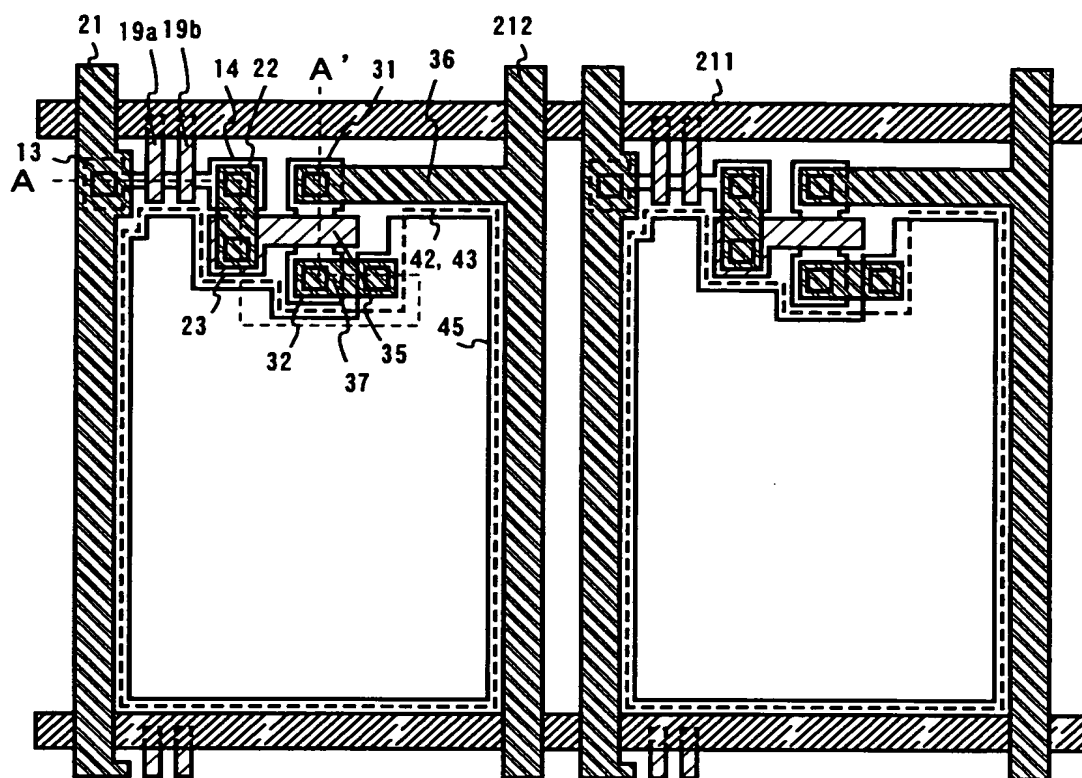
- 【図 1 5】 E L 表示装置の画素部の上面構造及び構成を示す図。
- 【図 1 6】 電子装置の具体例を示す図。
- 【図 1 7】 E L モジュールの外観を示す図。
- 【図 1 8】 コンタクト構造の作製工程を示す図。
- 【図 1 9】 E L 層の積層構造を示す図。

【書類名】 図面

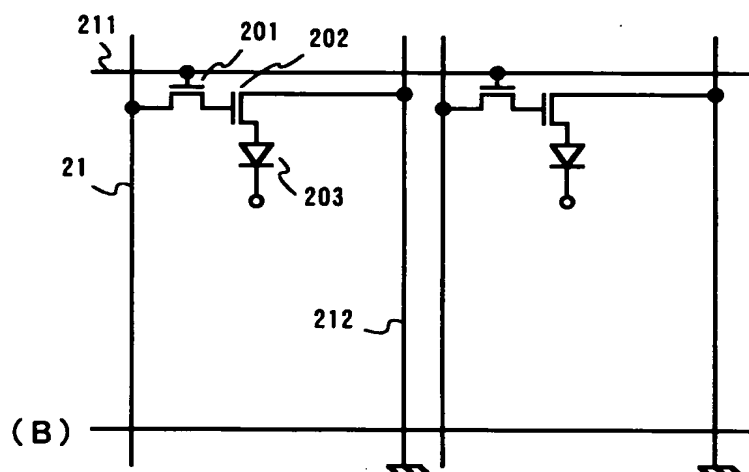
【図 1】



【図 2】

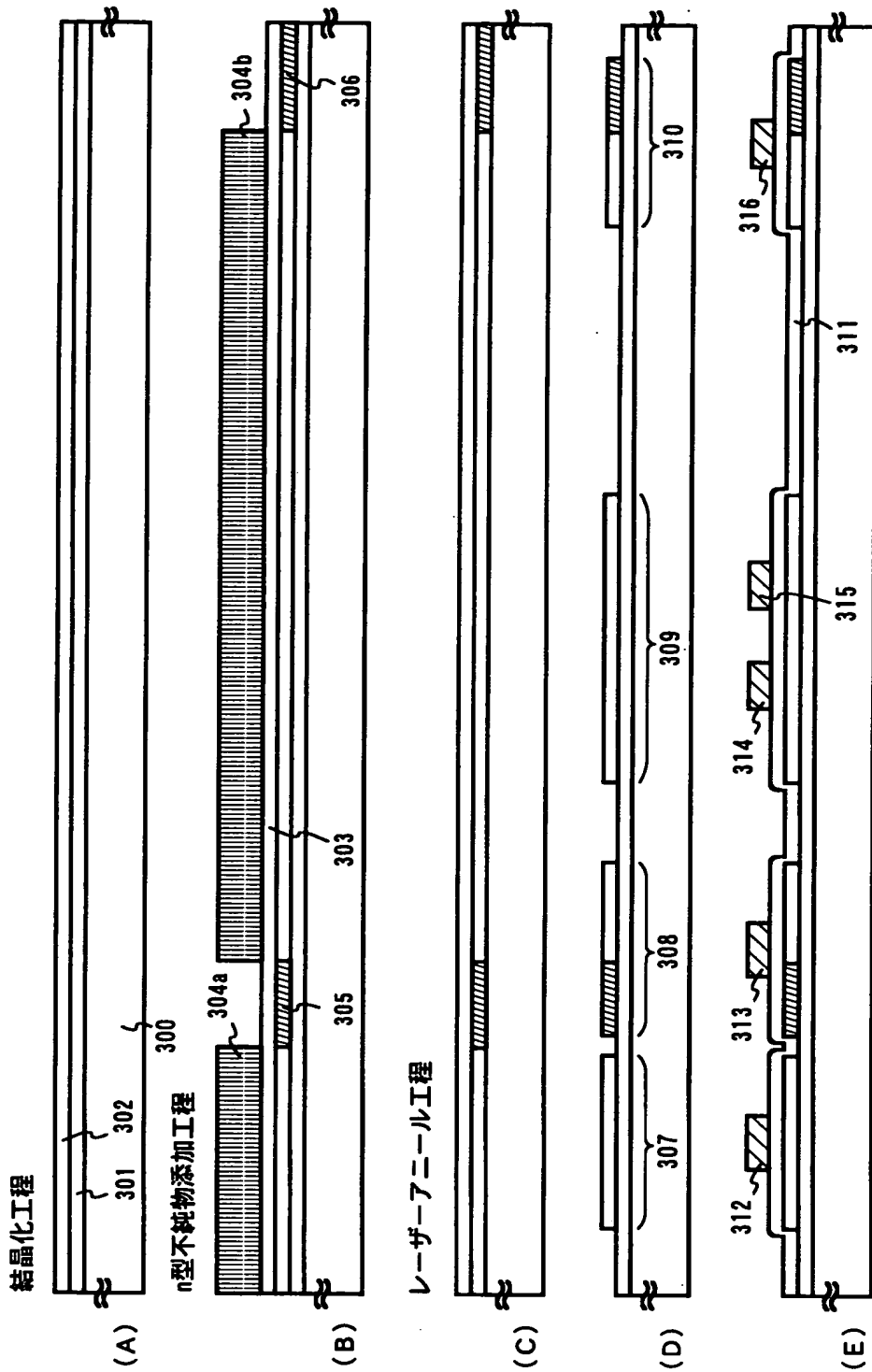


(A)



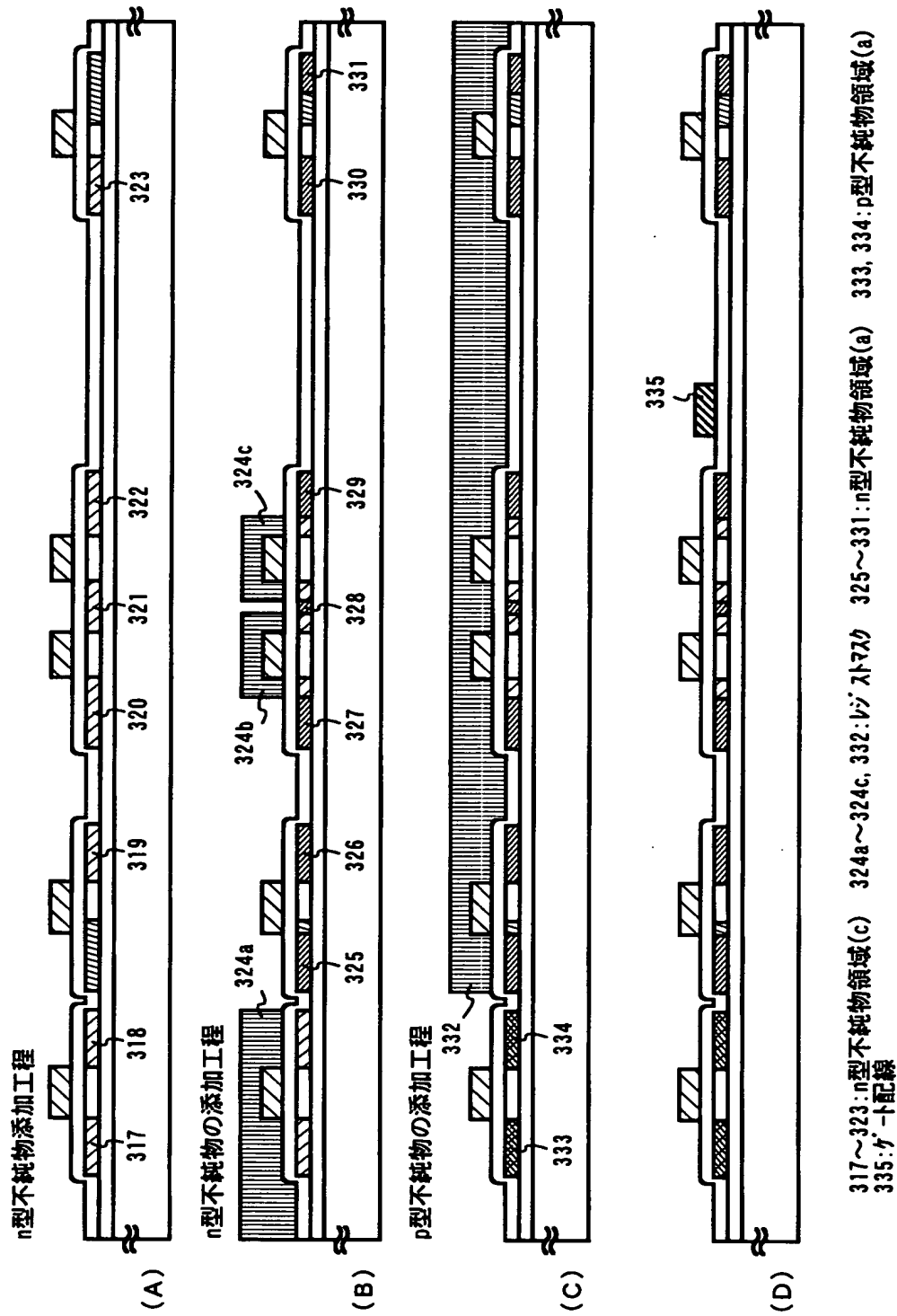
(B)

【図 3】

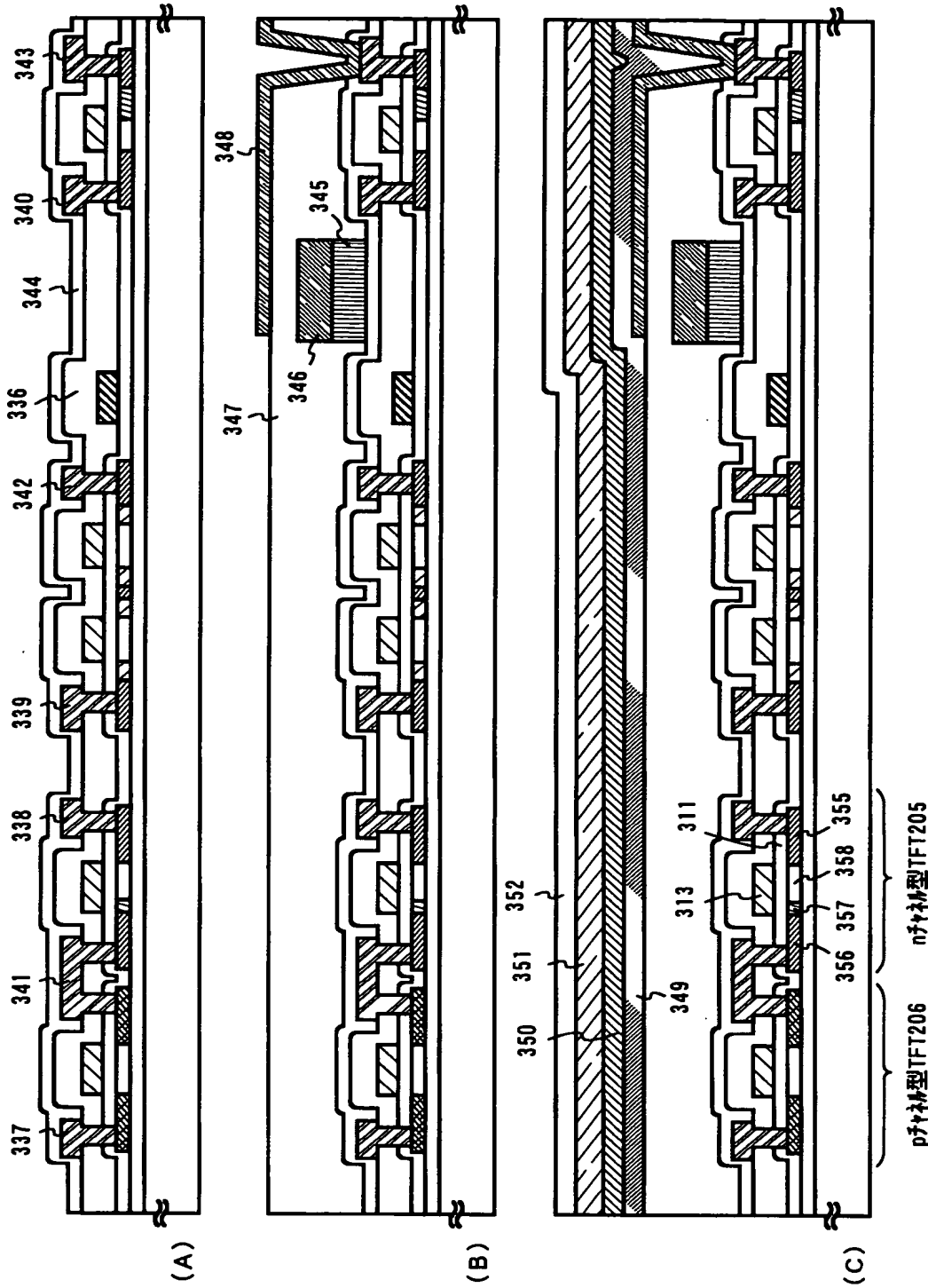


300:ガラス基板 301:下地膜 302:ポリシリコン膜 303:保護膜 304a~304b:レジスタマスク
305, 306: n型不純物領域(b) 307~310:活性層 311:ゲート絶縁膜 312~316:ゲート電極

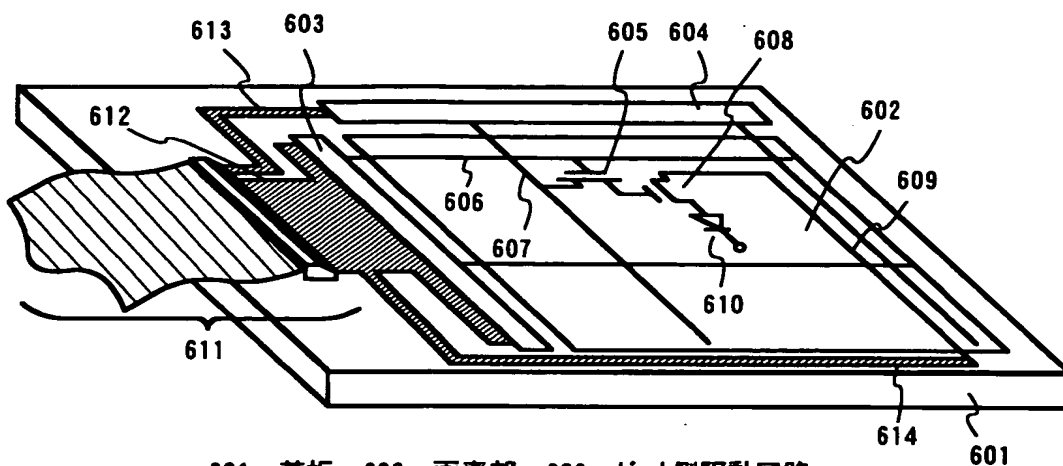
【 図 4 】



【図 5】

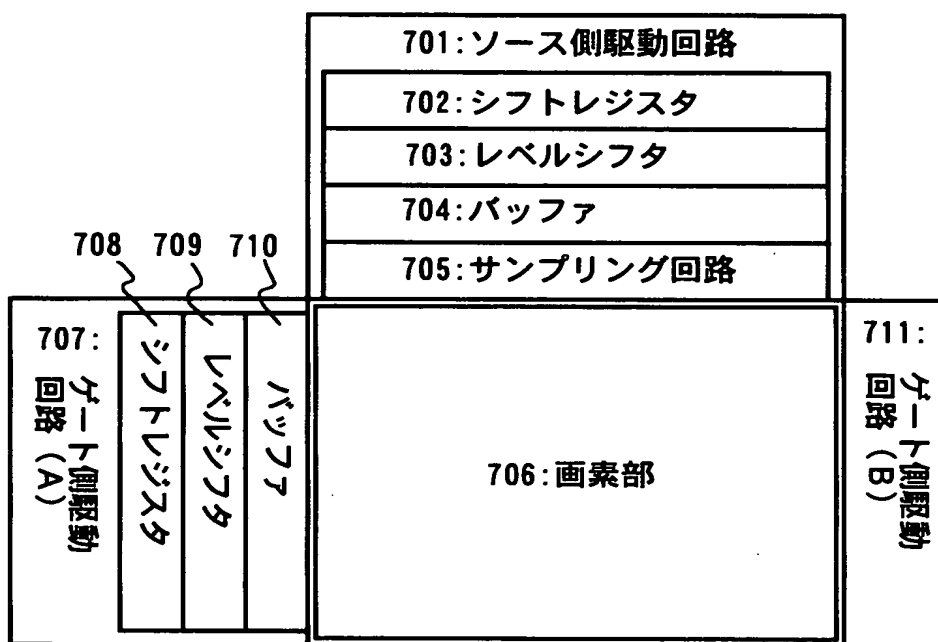


【図 6】

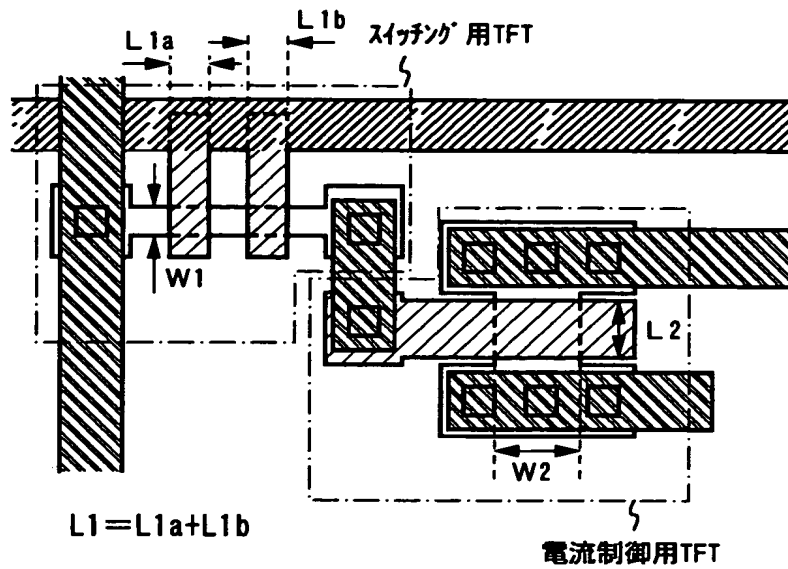


601 : 基板 602 : 画素部 603 : ゲート側駆動回路
 604 : ソース側駆動回路 605 : スイッチング用TFT 606 : ゲート配線
 607 : ソース配線 608 : 電流制御用TFT 609 : 電源供給線
 610 : EL素子 611 : FPC 612~614 : 入出力配線

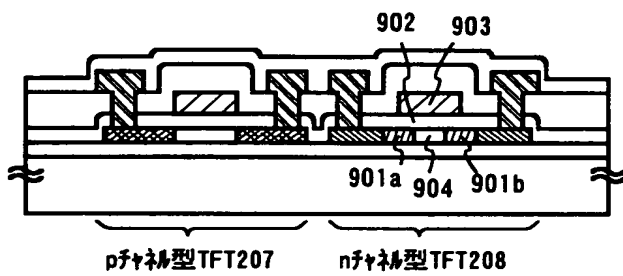
【図 7】



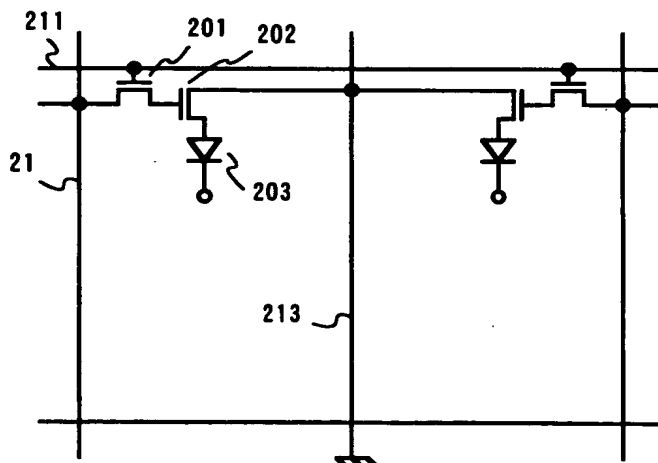
【図 8】



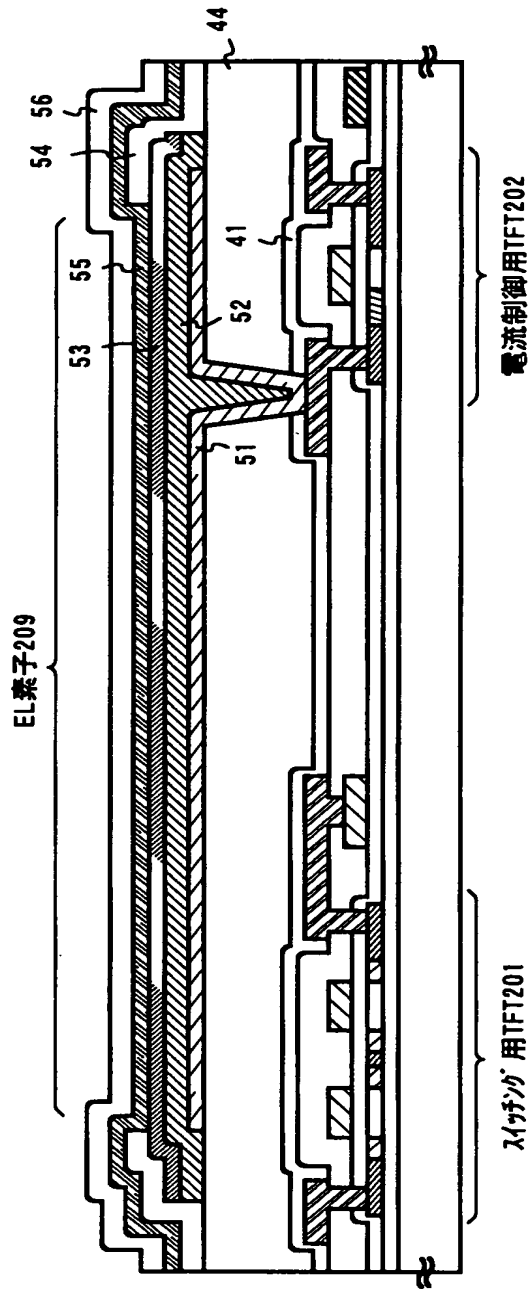
【図 9】



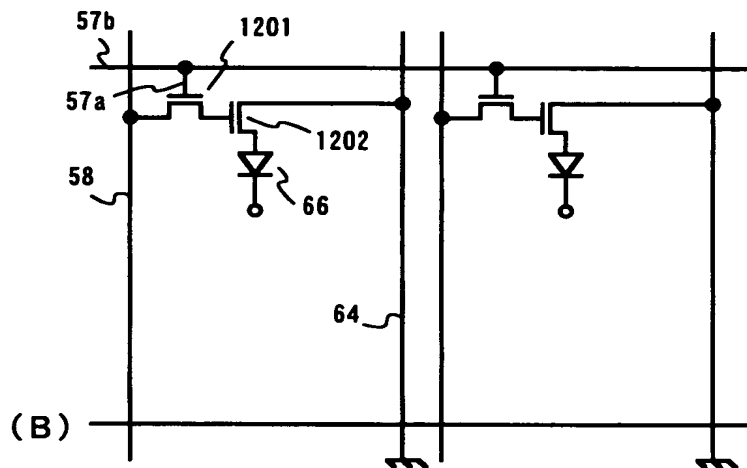
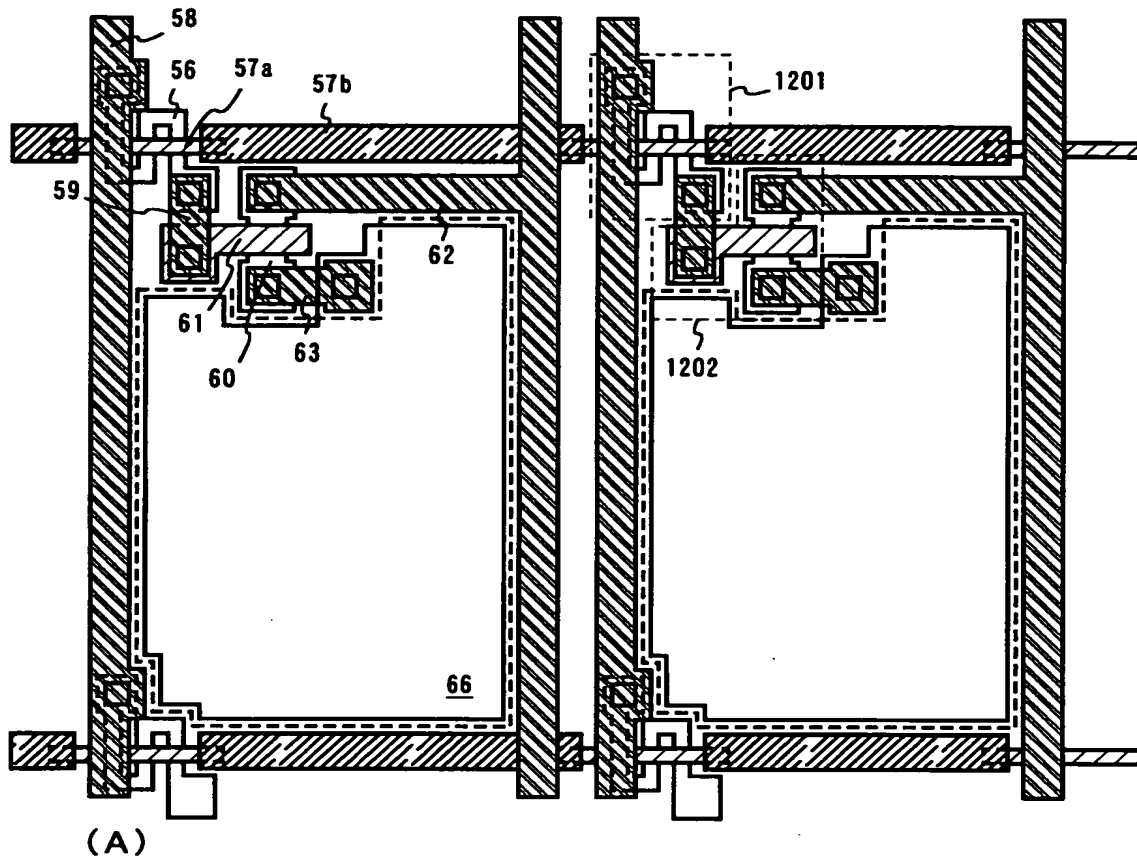
【図 1 0】



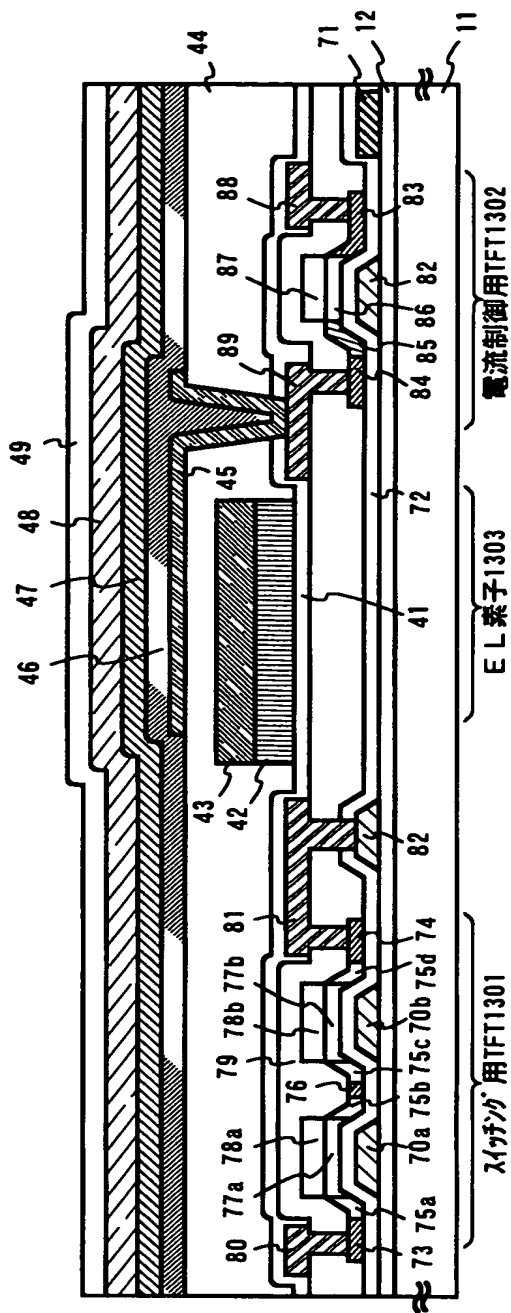
【図 1 1】



【図 1 2】

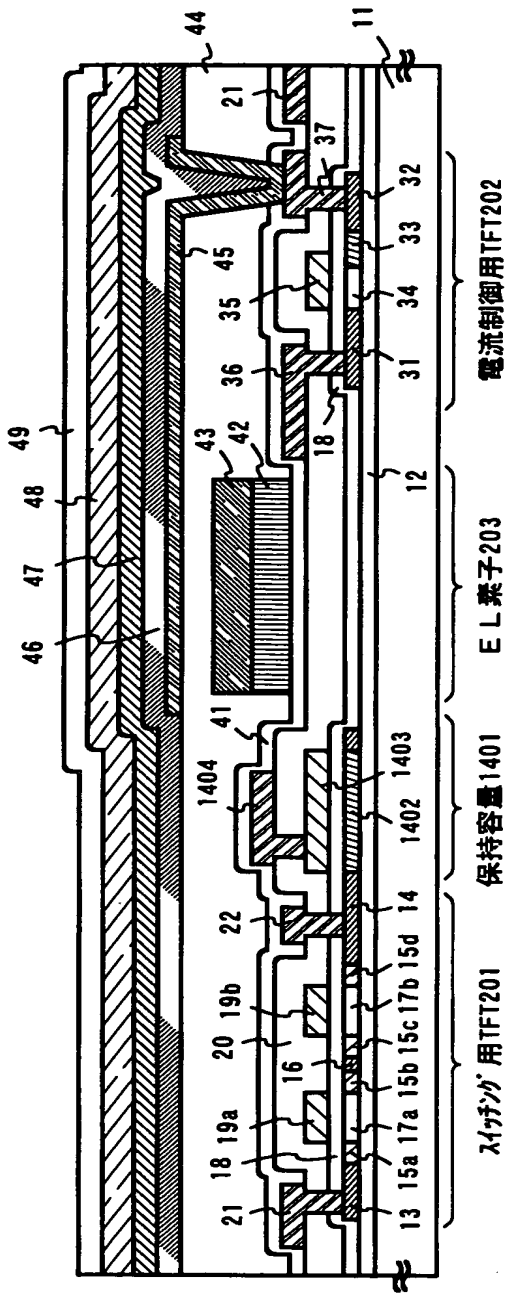


【図 1 3】

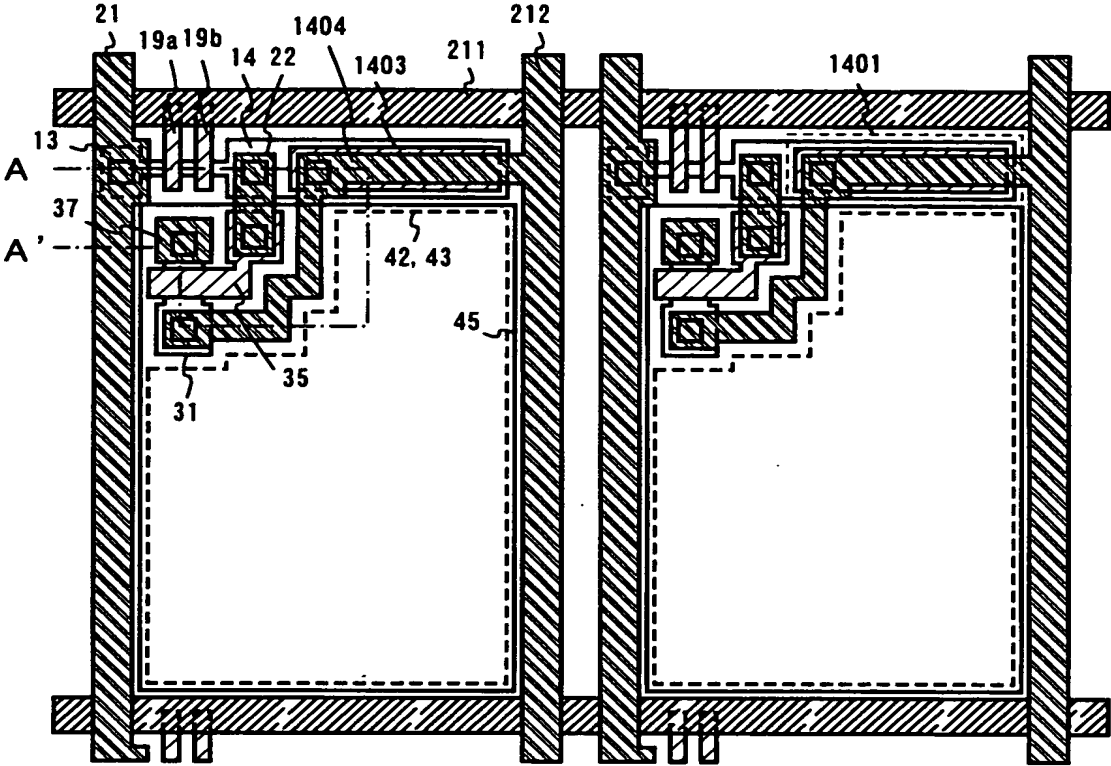


11:基板 12:下地膜 70a, 70b:ゲート配線 71:ゲート配線 72:ゲート絶縁膜 73:ソース領域 74:ドレイン領域
75a~15d:LDD領域 76:高濃度不純物領域 77a, 77b:チャネル形成領域 78a, 78b:チャネル保護膜 79:第1層間絶縁膜
80:ソース配線 81:ドレイン配線 82:ゲート電極 83:ソース領域 84:ドレイン領域 85:LDD領域 86:チャネル形成領域
87:チャネル保護膜 88:ソース配線 89:ドレイン配線 41:第1層 42:ゲート配線 43:第2層 44:ゲート配線
45:画素電極 (陽極) 46:EL層 47:陰極 48:保護電極 49:第2層 49:ゲート配線 (色変換層)

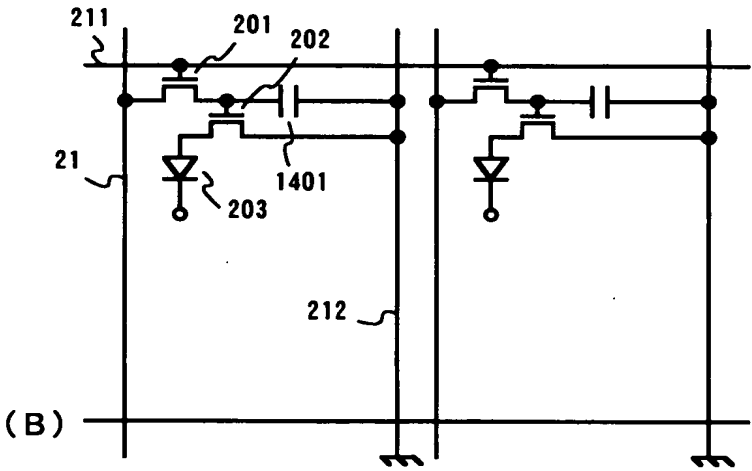
【図 1 4】



【図 1 5】

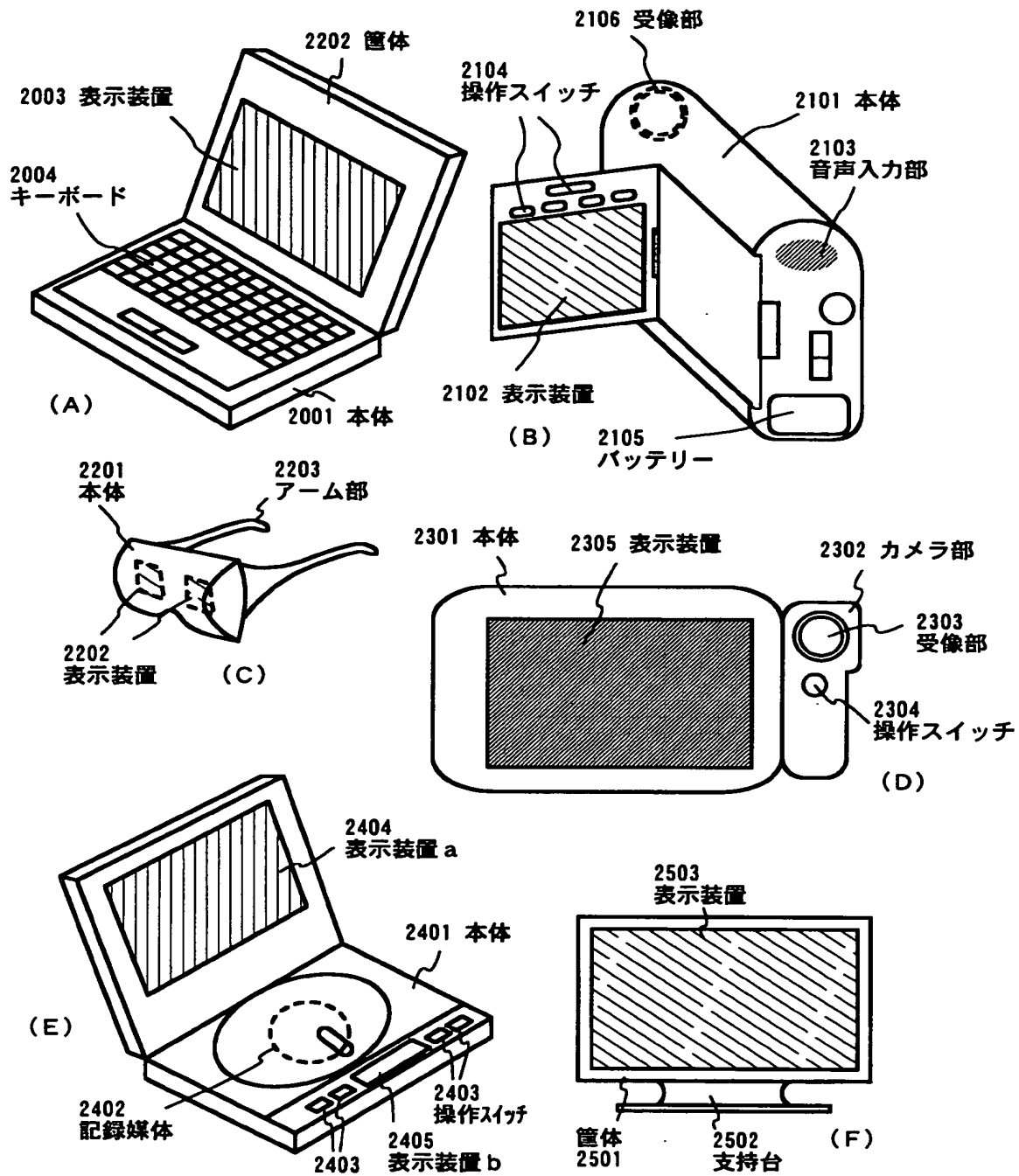


(A)

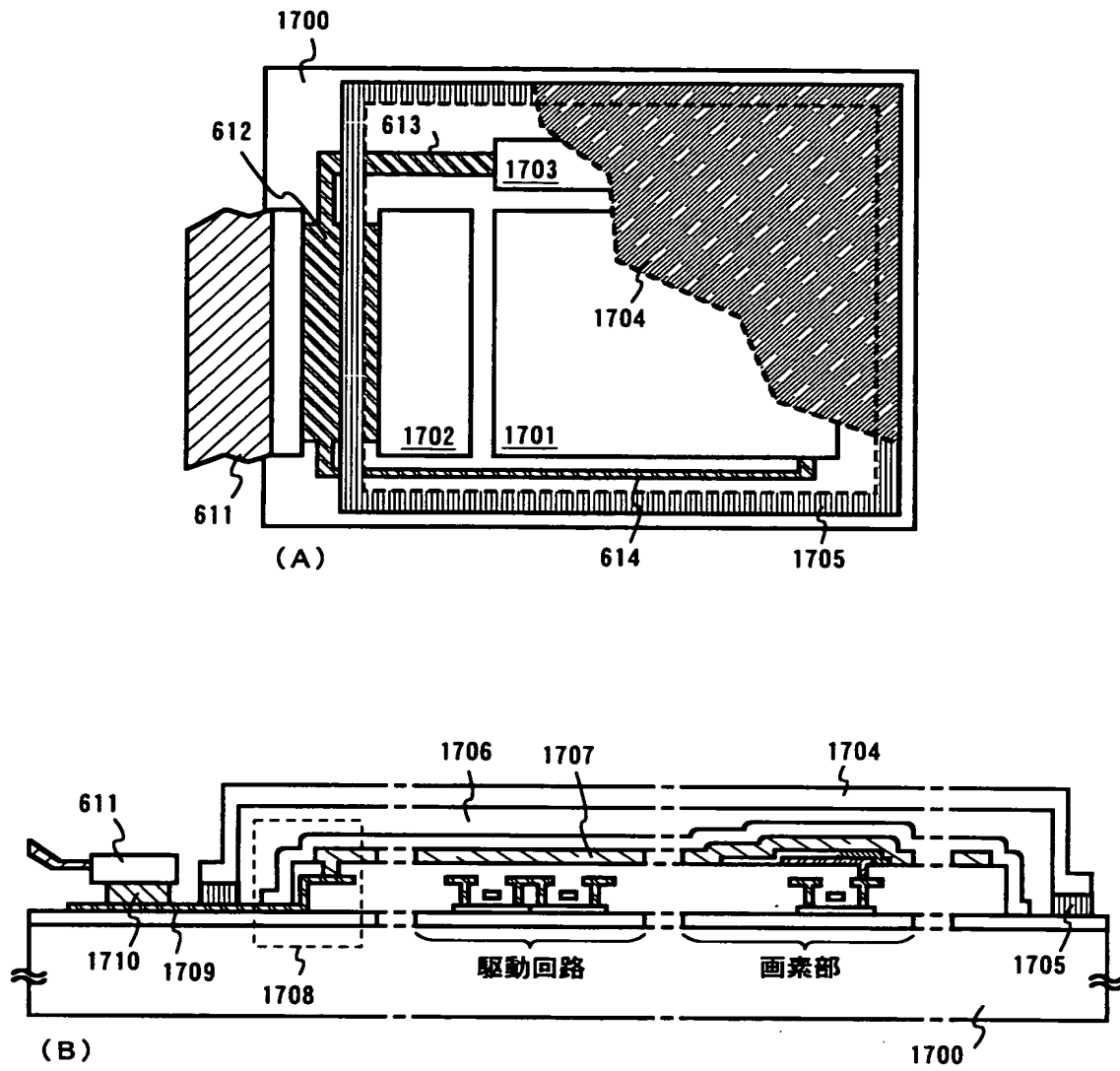


(B)

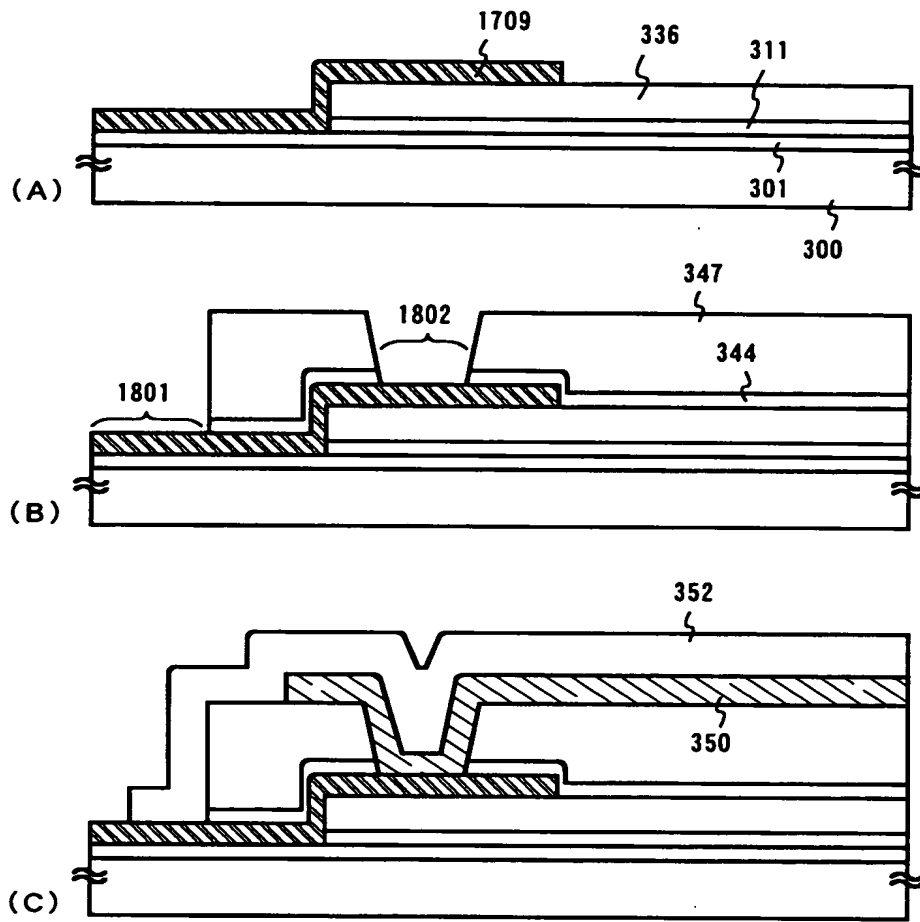
【図 1 6】



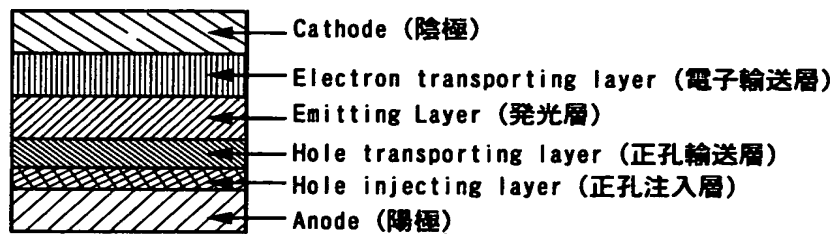
【図 1 7】



【図 1 8】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 動作性能および信頼性の高い E L 表示装置を提供する。

【解決手段】 画素内に形成されるスイッチング用 T F T 2 0 1 はマルチゲート構造になっており、オフ電流値の低減に重点をおいた構造となっている。また、電流制御用 T F T 2 0 2 はスイッチング用 T F T よりも大きなチャネル幅を有し、大電流を流すのに適した構造となっている。さらに、電流制御用 T F T 2 0 2 の L D D 領域 3 3 は、ゲート電極 3 5 と一部が重なるように形成され、ホットキャリア注入の防止とオフ電流値の低減に重点をおいた構造となっている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所